

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No. 259/023

In re patent application of

Ji-Young KIM, et al.

Group Art Unit: (Unassigned)

Serial No. (Unassigned)

Examiner: (Unassigned)

Filed: Concurrently

For: VERTICAL DOUBLE-CHANNEL SILICON-ON-INSULATOR TRANSISTOR AND
METHOD OF MANUFACTURING THE SAME

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA. 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

Korean Application No. 2003-0050938, filed July 24, 2003.

Respectfully submitted,



Eugene M. Lee
Reg. No. 32,039
Richard A. Sterba
Reg. No. 43,162

January 20, 2004
Date

LEE & STERBA, P.C.
1101 Wilson Boulevard Suite 2000
Arlington, VA 20009
Telephone: (703) 525-0978



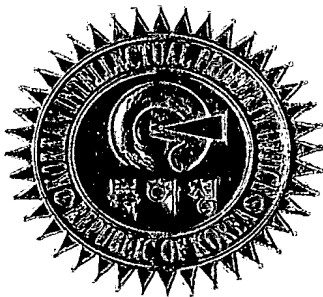
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0050938
Application Number

출원 년 월 일 : 2003년 07월 24일
Date of Application JUL 24, 2003

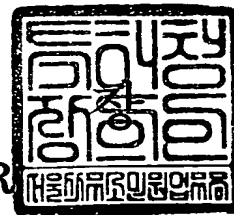
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 08 월 26 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【제출일자】 2003.07.24
【발명의 명칭】 수직 이중 채널을 갖는 S O I 트랜지스터의 제조 방법 및 그에 따른 구조
【발명의 영문명칭】 Method for manufacturing SOI transistor having vertical double-channel and structure thereof
【출원인】
【명칭】 삼성전자 주식회사
【출원인코드】 1-1998-104271-3
【대리인】
【성명】 김능균
【대리인코드】 9-1998-000109-0
【포괄위임등록번호】 2003-002377-2
【발명자】
【성명의 국문표기】 김지영
【성명의 영문표기】 KIM, Ji Young
【주민등록번호】 700405-1636710
【우편번호】 449-915
【주소】 경기도 용인시 구성면 언남리 신일아파트 103동 1001호
【국적】 KR
【발명자】
【성명의 국문표기】 박진준
【성명의 영문표기】 PARK, Jin Jun
【주민등록번호】 600421-1665617
【우편번호】 122-041
【주소】 서울특별시 은평구 불광1동 12-5 장미하이츠 401호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 김능균 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 46 면 46,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 64 항 2,157,000 원

【합계】 2,232,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 수직이중 채널을 갖는 SOI 트랜지스터의 제조방법 및 그에 따른 구조에 관한 것으로, 기판에 형성된 소자분리막에 의해 정의되는 활성영역의 일부에 리세스를 형성하는 단계와; 제1방향으로 상기 리세스의 측벽들의 일부 및 바닥 상부의 일부에 게이트 절연막을 형성하고, 상기 리세스에, 상기 게이트 절연막을 개재하여 상기 활성영역에 접촉되고 상기 제1방향 측벽들에 대하여 실질적으로 직각을 이루는 상기 리세스의 제2방향 측벽들과는 일정거리 만큼 이격되게 게이트 전극을 형성하는 단계와; 상기 리세스의 제1방향 측벽들 중에서 상기 게이트 절연막이 형성된 영역을 제외하고 서로 대향되어 있는 상기 제1방향 측벽들에, 상기 제1방향에서 상기 게이트 전극을 사이에 두고서, 각각 소오스 영역 및 드레인 영역을 형성하는 단계를 포함함을 특징으로 한다. 본 발명에 따르면, 벌크 반도체 기판에서 SOI 트랜지스터가 형성되어 복잡한 SOI 기판 형성과정이 불필요하며, 이중채널을 가지므로 채널을 통해 흐르는 전류가 증가된다.

【대표도】

도 3

【색인어】

이중 채널, 리세스, 수직, 트랜지스터, 에스 오 아이, 스페이서

【명세서】**【발명의 명칭】**

수직 이중 채널을 갖는 S O I 트랜지스터의 제조 방법 및 그에 따른 구조
{Method for manufacturing SOI transistor having vertical double-channel and
structure thereof}

【도면의 간단한 설명】

도 1은 종래 기술의 일예에 따라 SOI 기판에 형성된 수직채널을 갖는 트랜지스터의 단면도

도 2는 종래 기술의 또 다른 예에 따라 SOI 기판에 형성된 수평채널을 갖는 트랜지스터의 단면도

도 3은 본 발명의 실시예에 따라 형성된 수직 이중채널을 갖는 트랜지스터의 사시도

도 4a 내지 도 13d는 도 3의 수직 이중 채널을 갖는 트랜지스터를 제조하는 순서를 보인 공정 단면도들 및 일부 평면도들

도면의 주요 부분에 대한 부호의 설명

110 : 기판

112 : 소자분리막

113a, 113b : 문턱전압 조절용 불순물 층

114 : 측벽 스페이서

116 : 게이트 절연막

118 : 게이트 전극

120 : 게이트 캡핑막

121a, 121b : 소오스 및 드레인 영역 122 : 절연막

124a, 124b ; 소오스 및 드레인 전극

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<12> 본 발명은 반도체 소자의 제조에 관한 것으로, 보다 상세하게는, 리세스(recess)를 구비한 SOI (Silicon On Insulator)구조의 반도체 소자 및 그 제조 방법에 관한 것이다.

<13> 일반적으로, SOI 구조는 향후의 고성능 저전력 소자의 기관으로서 가장 적합하여 점점 주목을 받고 있다. SOI 기관은, 베이스 기관층에 형성된 매몰산화막과 상기 매몰산화막(BOX: Buried OXide)의 상부에 형성된 단결정 실리콘층으로 된 적층구조를 가짐에 의해 실리콘 온 인슐레이터(Silicon On Insulator)구조로 이루어져 있다. 이러한 구조에서는 절연층인 매몰산화막에 의하여, 상기 베이스 기관층이 상기 단결정 실리콘층인 반도체 층에 미치는 영향이 제거되므로 반도체 층의 가공, 효율 및 특성이 대폭 향상된다. 따라서, SOI 기관을 채용시, 초미세 회로 가공이 가능해지고, 기생용량(parasitic capacitance)이 감소되며, 완성된 소자의 성능이 개선됨으로써 고 집적화, 고 내압화, 고기능 소자화, 내방사선, 고부가가치 등을 기대할 수 있다.

<14> SOI 기판으로는 SIMOX 웨이퍼와 접합된 웨이퍼가 주로 알려져 있다. SIMOX 웨이퍼는 단결정 실리콘 기판 내부에 산소 이온을 주입하고, 상기 기판에 어닐링(annealing) 처리를 행하여 이들 산소 이온과 실리콘 원자를 화학반응 시킴으로써, 기판 상에 매몰된 산화층(BOX)를 형성시켜 얻어지는 SOI 기판이다. 상기한 SIMOX 웨이퍼 형성 방법은, SOI 기판을 형성하기 위하여 산소이온을 주입하고, 열처리 공정을 수행한 다음, 다시 소자분리를 위하여 국부적 산화방식(LOCOS)을 적용하거나 트렌치 산화막 등을 형성해야 하기 때문에 공정이 복잡하고 제조 원가가 크다는 단점이 있다.

<15> 한편, 접합된 웨이퍼는 2매의 단결정 실리콘 웨이퍼에 산화층을 개재하여 접합하여, 2매 중 한쪽의 웨이퍼를 박막화함으로써 얻어지는 기판이다. 상기한 접합 방법은 웨이퍼의 접촉시 고온하에서의 열처리가 요구되고 접합 부위에 빈공간(void)이 발생하는 문제점이 있다. 또한 웨이퍼를 연마하는 단계가 요구되므로 공정이 복잡하고 어렵다는 단점이 있다. 또한, 벌크 기판에 비해 SOI 기판의 제조비용이 현저하게 크다는 단점이 있다.

<16> 종래의 수직채널을 갖는 SOI 트랜지스터의 제조기술중의 하나로서는, 도 1에 도시된 바와 같이, 요시히로 미야자와(Yoshihiro Miyazawa)와 다수에게 특허허여된 미국 특허 번호 제5,312,782호(1994. 5. 17)가 제목 'SOI 타입 수직 채널 전계효과 트랜지스터 및 그 제조방법(SOI type vertical channel field effect transistor and process of manufacturing the same)'하에 개시되어 있다.

<17> 도 1에서는, 드레인(12)과 상기 드레인(12)에 전기적으로 연결되는 드레인 전극(15)이 형성되어 있고, 소오스(19)와 상기 소오스(19)에 전기적으로 연결되

는 소오스 전극(24)이 형성되어 있으며, 기판에 형성된 개구(groove;20)에 게이트 절연막(21) 및 게이트 전극(22)이 형성되어 있다. 또한, 채널(11a)이 기판(18)에 대하여 수직으로 형성되어 있다. 상기의 트랜지스터는 접합형 SOI 기판 상에 트랜지스터가 형성되어 있는 구조로서, 베이스 기판(18) 상부에 절연층(16)이 있고, 절연층(16) 상부의 소자가 형성되는 단결정 기판에 수직 채널을 갖는 트랜지스터가 형성되어 있다.

<18> 상기의 수직 채널을 갖는 트랜지스터는 접합형 SOI 기판 제조 기술을 사용하여 형성되므로 접합형 SOI 기판의 제조에 소요되는 비용에 기인하여 원가부담이 크며, 트랜지스터가 형성되는 면적이 커서 고집적화를 위한 디자인 축소에 제한이 있다는 문제가 있다. 또한, 제조 공정이 비교적 복잡하고 공정재현성이 상당히 어렵다는 것이 문제점으로 되어 있다.

<19> 종래의 SOI 기판을 사용한 플래너 타입(planner type)의 트랜지스터 제조 기술 중의 하나로써는, 도 2에 도시된 바와 같이, James R. Schwank의 다수에게 특허 허여된 미국 특허 번호 제6,268,630호(2001. 7. 31)가 제목 '내방사선을 위한 개선된 바디 타이즈를 갖는 SOI 전계 효과 트랜지스터(Silicon-On-Insulator field effect transistor with improved body ties for rad-hard applications)' 하에 개시되어 있다.

<20> 도 2에 도시된 바와 같이, 단결정 실리콘 베이스 기판(18)에 매몰산화막(20)이 형성되어 있고, 매몰산화막(20) 상부에 소자가 형성되는 단결정 실리콘 기판(22)으로 이루어지는 SOI 기판(16)이 존재한다. 상기 SOI 기판(16)은 SIMOX 방법 또는 접합형의 통상적인 SOI 기판 제조방법에 의해 형성된다. 상기 SOI 기

판(16)에 형성되어 있는 트랜지스터들(12,14)은 소자분리막(30)에 의해 정의된 활성영역에 게이트(38), 소오스 영역(52), 드레인 영역(54) 및 LDD 영역(48) 등을 구비하고 있다.

<21> 상기의 플래너 타입의 트랜지스터는 통상의 SOI 기판 제조 기술로써 제조된SIMOX 또는 접합형 SOI 기판을 사용하고 있어, SOI 기판 제조에 원가 부담이 크며 트랜지스터의 형태상 수평 채널을 가지므로 많은 면적을 차지하여 고집적화를 위한 디자인 룰(rule)의 축소에 제한이 있다.

<22> 상술한 바와 같이, SOI 기판을 채용하는 수직 채널 트랜지스터와 플래너 타입 트랜지스터 모두에서는 SOI 기판의 제조에 따른 원가부담이 크고, 공정이 비교적 복잡하며, 트랜지스터 소자의 사이즈 축소에 한계가 있어 고집적화에 제한요소로 작용하는 문제점이 있어왔다.

<23> 따라서, SOI 기판을 별도로 제작함이 없이도, SOI 기판 구조가 갖는 트랜지스터의 동작상의 이점을 향유할 수 있고, 고집적화의 추세에 보다 적합하게 사이즈의 축소가 가능하며, 전류구동 능력 및 소자 퍼포먼스가 보다 우수한 새로운 트랜지스터의 구조 및 개선된 제조방법이 본 분야에서 강력하고도 절실히 요망되는 실정이다.

【발명이 이루고자 하는 기술적 과제】

<24> 따라서, 본 발명의 목적은 종래 기술의 문제점을 극복하는 수직 이중 채널을 갖는 트랜지스터의 제조방법 및 그에 따른 구조를 제공함에 있다.

- <25> 본 발명의 다른 목적은 통상의 벌크(bulk)타입 기판에서 SOI 구조를 실현하는 수직 이중 채널을 갖는 트랜지스터의 제조방법 및 그에 따른 구조를 제공함에 있다.
- <26> 본 발명의 또 다른 목적은 트랜지스터의 바디(body)의 두께 및 트랜지스터의 폭(width)를 쉽게 컨트롤 할 수 있는 수직 이중 채널을 갖는 트랜지스터의 제조방법 및 그에 따른 구조를 제공함에 있다.
- <27> 본 발명의 또 다른 목적은 트랜지스터의 채널을 이중으로 형성함에 의하여, 채널에 흐르는 전류를 증가시키는 수직 이중 채널을 갖는 트랜지스터의 제조방법 및 그에 따른 구조를 제공함에 있다.
- <28> 본 발명의 또 다른 목적은 트랜지스터 제조에 있어서, 제조원가를 줄일 수 있고 고집적화에 적합한 수직 이중 채널을 갖는 트랜지스터의 제조방법 및 그에 따른 구조를 제공함에 있다.
- <29> 본 발명의 또 다른 목적은 트랜지스터의 제조에 있어서 공정의 단순화를 이룰 수 있는 수직 이중 채널을 갖는 트랜지스터의 제조방법 및 그에 따른 구조를 제공함에 있다.
- <30> 상기한 기술적 과제들의 일부를 달성하기 위한 본 발명의 양상(aspect)에 따라, 본 발명에 의한 수직 이중 채널을 갖는 SOI 트랜지스터의 제조방법은: 기판에 형성된 소자분리막에 의해 정의되는 활성영역의 일부에 리세스를 형성하는 단계와; 제1방향으로 상기 리세스의 측벽들의 일부 및 바닥 상부의 일부에 게이트 절연막을 형성하고, 상기 리세스에, 상기 게이트 절연막을 개재하여 상기 활

성영역에 접촉되고 상기 제1방향 측벽들에 대하여 실질적으로 직각을 이루는 상기 리세스의 제2방향 측벽들과는 일정거리 만큼 이격되게 게이트 전극을 형성하는 단계와; 상기 리세스의 제1방향 측벽들 중에서 상기 게이트 절연막이 형성된 영역을 제외하고 서로 대향되어 있는 상기 제1방향 측벽들에, 상기 제1방향에서 상기 게이트 전극을 사이에 두고서, 각각 소오스 영역 및 드레인 영역을 형성하는 단계를 포함함을 특징으로 한다.

<31> 바람직하게는, 상기 기판은 벌크 반도체 기판이 적당하며, 상기 게이트 전극 상부에 게이트 캡핑막이 형성될 수 있다. 또한, 바람직하게는, 상기 리세스의 바닥과 제1방향 측벽들에 문턱전압 조절용 불순물 층을 형성하는 단계를 더 포함될 수 있고, 상기 리세스 바닥에 형성된 문턱전압 조절용 불순물 층의 농도가 상기 리세스의 제1방향 측벽들에 형성된 불순물 층의 농도보다 더 높도록 형성될 수 있다. 또한, 상기 소오스 및 드레인 영역이 형성된 기판에, 상기 소오스 및 드레인 영역과 전기적으로 연결되는 소오스 및 드레인 전극이 더 형성될 수 있다.

<32> 상기한 기술적 과제들의 일부를 달성하기 위한 본 발명의 다른 양상(aspect)에 따라, 본 발명에 의한 수직 이중 채널을 갖는 SOI 트랜지스터의 제조 방법은: 기판에 정의된 활성영역이 절연되도록 에워싸면서, 상기 활성영역의 최상부와 단차를 갖도록 하기 위해 상기 기판의 표면상부보다 높게 소자분리막을 상기 기판에 형성하는 단계와; 상기 단차가 존재하는 상기 소자분리막의 측벽을 따라 측벽 스페이서

를 형성하는 단계와; 상기 소자분리막 및 측벽 스페이서를 식각 마스크로 사용하여 상기 활성영역중 노출된 활성영역을 소정깊이까지 식각함에 의해, 상기 활성영역의 일부에 리세스를 형성하는 단계와; 상기 리세스의 바닥 및 제1방향 측벽들에 게이트 절연막을 형성하고, 상기 게이트 절연막 상부에 상기 리세스를 충분히 메우도록 게이트 전극을 형성함과 아울러, 상기 게이트 전극 상부에 게이트 캡핑막을 형성하는 단계와; 상기 리세스의 제1방향 측벽들 중에서 상기 게이트 전극이 형성된 영역을 제외하고 서로 대향되어 있는 상기 제1방향 측벽들에, 상기 제1방향에서 상기 게이트 전극을 사이에 두고서, 각각 소오스 영역 및 드레인 영역을 형성하는 단계를 포함함을 특징으로 한다.

<33> 바람직하게는, 상기 기판은 벌크 반도체 기판이 적당하며, 상기 리세스의 바닥과 제1방향 측벽들에 문턱전압 조절용 불순물 층을 형성하는 단계를 더 포함될 수 있고, 상기 리세스 바닥에 형성된 문턱전압 조절용 불순물 층의 농도가 상기 리세스의 제1방향 측벽들에 형성된 불순물 층의 농도보다 더 높도록 형성될 수 있다. 또한, 상기 소오스 및 드레인 영역이 형성된 기판에, 상기 소오스 및 드레인 영역과 전기적으로 연결되는 소오스 및 드레인 전극이 더 형성될 수 있다

<34> 상기한 기술적 과제들의 일부를 달성하기 위한 본 발명의 또 다른 양상(aspect)에 따라, 본 발명에 의한 수직 이중 채널을 갖는 트랜지스터의 제조방법은: 벌크 반도체 기판에 정의된 활성영역이 절연되도록 에워싸면서, 상기 활성영역의 최상부와 단차를 갖도록 하기 위해 상기 반도체 기판의 표면상부보다 높게 산화막 재질의 소자분리막을 상기 반도체 기판에 형성하는 단계와; 상기 단차가

존재하는 상기 소자분리막의 측벽을 따라 산화막 재질의 측벽 스페이서를 형성하는 단계와; 상기 측벽 스페이서 및 소자분리막을 식각 마스크로 사용하여 상기 활성영역중 노출된 활성영역을 소정깊이까지 이방성 식각함에 의해, 상기 활성영역의 일부에 리세스를 형성하는 단계와; 상기 리세스의 바닥 및 제1방향 측벽들에 게이트 산화막을 형성하고, 상기 게이트 산화막이 형성된 기판 전면에서 상기 리세스를 충분히 메우도록 도핑된 폴리실리콘막 및 질화막을 순차적으로 적층하는 단계와; 상기 질화막 및 도핑된 폴리실리콘막이 형성된 상기 기판에, 사진 및 식각공정을 수행함에 의해 게이트 전극 및 게이트 캡핑막을 형성하는 단계와; 상기 리세스의 제1방향 측벽들 중에서 상기 게이트 전극이 형성된 영역을 제외하고 서로 대향되어 있는 상기 제1방향 측벽들에, 상기 제1방향에서 상기 게이트 전극을 사이에 두고서, 각각 고농도로 도핑된 소오스 영역 및 드레인 영역을 형성하는 단계와; 상기 소오스 및 드레인 영역이 형성된 기판 전면에서, 상기 리세스를 메우고 상기 게이트 캡핑막의 상부와 높이가 같도록 산화막을 적층하는 단계와; 상기 산화막에 상기 소오스 및 드레인 영역이 노출되도록 콘택홀을 형성하는 단계와; 상기 콘택홀에 폴리실리콘 재질의 도전물질을 충전하여 소오스 및 드레인 전극을 형성하는 단계를 포함함을 특징으로 한다.

<35> 상기한 기술적 과제들의 일부를 달성하기 위한 본 발명의 또 다른 양상(aspect)에 따라, 본 발명에 의한 수직 이중 채널을 갖는 SOI 트랜지스터의 구조는: 기판에 형성된 소자분리막에 의해 정의되고 일부에 리세스가 형성된 활성영역과; 제1방향으로 상기 리세스의 측벽들의 일부 및 바닥 상부의 일부에 형성된 게

이트 절연막과; 상기 리세스의 제1방향 측벽들과는 상기 게이트 절연막을 개재하여 접촉되며, 상기 제1방향 측벽들에 대하여 실질적으로 직각을 이루는 상기 리세스의 제2방향 측벽들과는 일정거리만큼 이격된 채로, 상기 리세스에 형성된 게이트 전극과; 상기 제1방향 측벽들중에서 상기 게이트 절연막이 형성된 영역을 제외하고 서로 대향되어 있는 상기 제1방향 측벽들에, 상기 제1방향에서 상기 게이트 전극을 사이에 두고서, 각기 형성된 소오스 영역 및 드레인 영역을 구비함을 특징으로 한다.

<36> 바람직하게는, 상기 기판은 벌크 반도체 기판이 적당하며, 상기 게이트 전극의 상부에 게이트 캡핑막이 구비되는 것이 바람직하다. 또한, 상기 리세스의 제1방향 측벽들 및 리세스의 바닥에 문턱전압 조절용 불순물 층이 형성될 수 있고, 상기 리세스 바닥에 형성된 문턱전압 조절용 불순물 층의 농도는 상기 리세스의 제1방향 측벽들에 형성된 불순물 층의 농도보다 더 높음을 특징으로 한다. 또한, 상기 트랜지스터는 제2절연막에 의해 둘러싸이고 상기 소오스 및 드레인 영역의 일부와 전기적으로 연결되는 소오스 전극 및 드레인 전극을 더 구비할 수 있다.

<37> 상기한 기술적 과제들의 일부를 달성하기 위한 본 발명의 또 다른 양상(aspect)에 따라, 본 발명에 의한 수직 이중 채널을 갖는 SOI 트랜지스터의 구조는: 기판에 형성된 소자분리막에 의해 정의되고 일부에 리세스가 형성된 활성영역과; 상기 리세스의 측벽들중 서로 대향된 제1방향 측벽들을 이루는 상기 활성영역에 선택적으로 형성된 소오스 영역과; 상기 소오스 영역에 대하여 설정된 게이트 길이만큼 제1방향으로 이격되며, 상기 제1방향 측벽들을 이루는 상기 활성

영역에 형성된 드레인 영역과; 제1방향으로 상기 소오스 영역과 상기 드레인 영역을 제외한 상기 제1방향 측벽들 및 상기 소오스 영역과 상기 드레인 영역을 제외한 상기 제1방향 측벽들에 대하여 수직을 이루는 상기 리세스의 바닥상부에 형성된 게이트 절연막과; 상기 리세스의 제1방향 측벽들 및 상기 리세스의 바닥상부와는 상기 게이트 절연막을 개재하여 접촉되며, 상기 드레인 영역 및 상기 소오스 영역의 사이에 형성된 게이트 전극을 구비함을 특징으로 한다.

<38> 바람직하게는, 상기 기판은 벌크 반도체 기판이 적당하며, 상기 게이트 전극의 상부에 게이트 캡핑막이 구비되는 것이 바람직하다. 또한, 상기 리세스의 제1방향 측벽들 및 리세스의 바닥에 문턱전압 조절용 불순물 층이 형성될 수 있고, 상기 리세스 바닥에 형성된 문턱전압 조절용 불순물 층의 농도는 상기 리세스의 제1방향 측벽들에 형성된 불순물 층의 농도보다 더 높음을 특징으로 한다. 또한, 상기 트랜지스터는 제2절연막에 의해 둘러싸이고 상기 소오스 및 드레인 영역의 일부와 전기적으로 연결되는 소오스 전극 및 드레인 전극을 더 구비할 수 있다.

<39> 본 발명에 의해 실현되는 트랜지스터는, 벌크 기판에서 수평방향으로 SOI구조를 실현하여 SOI기판을 제조하는 공정을 생략할 수 있으며, 기판에 대하여 수직으로 형성된 이중채널을 가짐에 의해 채널을 통해 흐르는 전류가 증가된다.

【발명의 구성 및 작용】

<40> 이하에서는 상기한 수직 이중 채널을 갖는 트랜지스터 제조방법 및 그에 따른 구조가, 후술되는 본 발명의 철저한 이해를 제공할 의도 외에는 다른 의도 없이, 도 3 내지 도 13d를 참조로 설명될 것이다.

<41> 도 3은 본 발명의 실시예에 의한 수직 이중 채널을 갖는 트랜지스터의 사시도를 나타낸 것이다. 도 4a 내지 도 13d은 도 3의 트랜지스터의 제조를 순서대로 보인 공정 순서도 들이다. 상기의 단면도들은 절단면에서 나타나는 구조자체만을 도시하며, 절단면에서 나타나는 부분이 공간으로 되어 있고 그 절단면에서 연장된 부분의 구조가 상기 공간을 통하여 맞닿아 보이는 경우에도, 그 부분은 빈 공간으로 도시되었음을 유의하라. 또한, 상기 평면도들은 최상위 구조들만을 도시하였고 그 최상위 구조 중에 빈 공간이 있어서 그 하부구조가 보인다 할지라도 빈 공간으로 도시하였다. 상기 평면도는 공정 과정에서 평면에 변화가 있을 경우에만 도시하였다. 또한, 이하에서 자주 사용되는 제1방향이란 게이트 길이 방향을 가리킨다.

<42> 도 3은 본 발명의 실시예에 의해서 완성된 트랜지스터의 사시도를 나타낸 것이다. 도 3에 도시된 바와 같이, 기판(110)에 소자분리막(112)이 형성되어 있고, 상기 소자분리막(112)에 의해서 정의된 활성영역의 일부에 스페이서(114)를 식각마스크로 하여 리세스가 형성되어 있다. 상기 리세스의 측벽들 중 서로 대향된 제1방향 측벽들에 선택적으로 형성되어 소오스 영역 및 드레인 영역을 이루는 고농도 도핑층(121a)이 형성되어 있다. 상기 제1방향 측벽들의 중앙에 상기 제1방향 측벽들을 서로 연결시키는 게이트 캡핑막(120), 게이트 전극(118)이 형성되

어 있음을 알 수 있고, 상기 소오스 및 드레인 영역(121a)과 전기적으로 연결되어 게이트 캡핑막(120)의 높이와 같도록 형성된 소오스 및 드레인 전극(124a, 124b)이 제2절연막(122)에 의해 둘러싸인 채로 형성되어 있음을 알 수 있다. 그리고 상기 리세스의 바닥에는, 문턱전압이 높게 설정된 문턱전압 조절용 불순물(dopant)층(113b)이 하이 도우즈(high dose)로 형성되어 있다.

<43> 상기 트랜지스터는 벌크 반도체 기판(110)에 형성되며, 제1방향 측벽들에 형성된 이중채널을 가진다. 상기 소자분리막(112)이 통상의 SOI 기판에서의 절연층 즉 매몰 산화막(buried oxide)역할을 하게 되므로 벌크 기판(110)에서 SOI구조가 실현되게 된다. 또한, 기판(110)에 대하여 수직인 제1방향 측벽들에 형성된 이중채널을 구비하므로 채널 전류가 증가하고, 트랜지스터의 형성함에 있어서, 트랜지스터의 형성 면적이 적으므로 고집적화에 도움이 될 수 있다. 상기 기판은 웰(well) 영역이 형성된 기판일 수 있다. 여기서 제1방향이란 게이트 길이방향을 가리킨다.

<44> 도 4는 기판(110)상에 활성영역과 비활성영역을 정의하는 소자분리막(112)을 형성하는 단계를 설명하기 위한 개략도이다. 도 4a는 도 3에서의 A-B-C의 현재 공정의 단면도이고, 도 4b는 도 3에서의 D-D'의 현재 공정의 단면도이고, 도 4c는 도 3에서의 E-F-G-H-I-J의 현재 공정의 단면도이고, 도 4d는 현재 공정의 평면도이다. 상기 소자분리막(112)은 STI(Shallow Trench Isolation)방법으로 형성되는 것이 바람직하다.

<45> 도 4a 내지 도 4d에 도시된 바와 같이, 기판(110)에 활성 영역을 한정하는 소자 분리 예정영역이 노출되도록 마스크 패턴(113)이 형성된다. 상기 마스크 패

턴(113)은 실리콘 질화막(SiN)을 상기 기판(110)에 증착한 후 패터닝함에 의해서 형성된다. 상기 실리콘 질화막은 LPCVD(Low Pressure Chemical Vapor Deposition)법 또는 PECVD(Plasma Enhanced Chemical Vapor Deposition)법에 의해서 증착된다. 상기 실리콘 질화막은 500Å 내지 1000Å의 두께로 형성되는데, 이는 트렌치를 형성하기 위한 마스크로 사용될 뿐 아니라, 후속 공정에서 트렌치에 절연물질을 매립하기 위해 상기 기판(110) 전면에 제1절연막을 증착한 후 화학적 기계적 연마(CMP:Chemical Mechanical Polishing)공정을 진행할 때 연마 저지층으로 사용된다. 또한, 상기 소자분리막(112)에 상기 기판(110)에 대하여 형성되는 단차는 상기 마스크 패턴(113)의 두께만큼 높게 형성된다.

<46> 상기 마스크 패턴(113)을 식각 마스크로 사용하여, 상기 기판(110)의 일부를 이방성 식각함에 의하여 트렌치(trench)가 형성된다. 상기 이방성 식각은 건식 식각, RIE(Reactive Ion Etching) 또는 플라즈마를 이용한 식각 방법 등이 사용될 수 있다. 다음으로, 화학 기상 증착 방법(CVD)과 같은 증착법을 이용하여 상기 트렌치가 형성된 기판(110)에 제1절연막을 증착한다. 상기 트렌치를 완전히 매립하는 제1절연막은 USG(Undoped Silicate Glass)막 또는 HDP-CVD(High Density Plasma-Chemical Vapor Deposition)법을 이용한 산화막으로 형성되는 것이 바람직하다. 상기 제1절연막이 형성된 상기 기판(110)에 상기 마스크 패턴(113)이 노출될 때까지 화학적 기계적 연마(CMP)공정을 이용하여 평탄화 공정을 수행한다. 상기 소자분리막(112)은 2000Å 내지 3000Å의 깊이로 형성되는 것이 바람직하다. 본 발명에서의 소자분리막(112)은 활성영역을 정의할 뿐 아니라, SOI 기판에서의 매몰 산화막(BOX)역할을 한다.

<47> 여기서 웰 영역(미도시)이 형성될 수도 있는데, 이 경우에는, 기판(110)에 제1도전형의 불순물(dopant)을 주입하여 웰 영역을 형성한다. 예컨대, NMOS 트랜지스터 제조의 경우에는, 붕소(B)이온을 주입한 후 소정의 열 공정을 실시하여 제1도전형의 P웰 영역이 형성되고, PMOS 트랜지스터를 제조하는 경우에는, N웰 영역이 형성된다. 제1도전형의 웰 영역이 형성된 기판(110)의 소정영역에 활성영역 및 비활성영역을 정의하는 소자분리막을 형성한다. 상기 제1도전형의 웰 영역은 소자분리막(112)을 형성한 다음에 형성될 수도 있다.

<48> 도 5는 기판(110)상에 활성영역과 비활성영역을 정의하는 소자분리막(112)이 형성된 후 상기 마스크 패턴(113)이 제거된 단계를 설명하기 위한 개략도이다. 도 5a는 도 3에서의 A-B-C의 현재 공정의 단면도이고, 도 5b는 도 3에서의 D-D'의 현재 공정의 단면도이고, 도 5c는 도 3에서의 E-F-G-H-I-J의 현재 공정의 단면도이다.

<49> 도 5a 내지 도 5c에서 도시된 바와 같이, 소자분리막(112)이 형성된 후에 상기 마스크 패턴(113)을 제거한다. 상기 마스크 패턴(113)은 인산과 같은 에천트(etchant)를 사용하여 습식식각으로 제거되거나, 플라즈마 에싱(ashing)방법을 사용하여 제거된다. 상기 소자분리막(112)은 상기 기판(110)의 표면 상부보다 일정두께로 단차를 가지면서 형성되어 있다. 상기 소자분리막(112)의 단차는 상기 마스크 패턴(113)의 두께에 따라 결정되며, 500Å 내지 1000Å으로 형성됨이 바람직하다. 상기 단차는 후속 공정에서 스페이서를 형성하기 위해 이용된다.

<50> 이어서, 상기 마스크 패턴(113)을 제거한 후에 상기 기판 전면에서 문턱전압 조절용 불순물 층(113a, 113b)을 형성하는 단계를 추가 할 수 있다. 상기 문턱전

압 조절용 불순물 층(113a, 113b)은 이온 주입 방법에 의하여 형성된다. 상기 리세스의 제1방향 측벽들에 형성되는 문턱 전압 불순물층(113a)은 셀 트랜지스터의 문턱전압을 0.7 내지 1.2V로 조절하기 위하여 제1도전형의 불순물을 주입함에 의하여 형성된다. NMOS 트랜지스터 제조시에는 P형의 불순물, 예컨대 붕소(B) 또는 불화 붕소(BF₂) 이온을 1.0×10^{13} ion atoms/cm² 의 도우즈(dose)로 주입하고, PMOS 트랜지스터 제조시에는 N형의 불순물, 예컨대 비소(As) 또는 인(P) 이온을 1.0×10^{13} ion atoms/cm² 의 도우즈(dose)로 주입하여, 후 공정에서 형성될 리세스의 제1방향 측벽들에 문턱전압 불순물 층(113a)이 형성되도록 주입한다. 그리고, 후공정에서 형성되는 리세스의 바닥에도 문턱전압 불순물 층(113b)이 형성되는데, 상기 리세스의 바닥에 형성되는 문턱전압 조절용 불순물 층(113b)은 문턱 전압이 2.0V 내지 3.0V가 되도록 하이 도우즈(high dose)로 주입함으로써 형성된다. 이는 제1방향 측벽들 만을 채널로 사용하기 때문에 상기 리세스의 바닥이 채널로 사용되는 것을 방지하기 위함이다. 다만, 균일한 이온 주입을 위하여 플라즈마 도핑방법을 이용하는 것이 가능하다. 플라즈마 도핑 방법을 이용하는 경우에는, 플라즈마 밀도가 고농도이기 때문에, 적당한 저농도의 도핑층을 형성하기 위해서 도핑시간을 극히 짧게 제어하는 것이 중요하다.

<51> 도 6은 소자분리막(112)의 단차가 존재하는 측벽을 따라 측벽 스페이서를 형성하는 단계를 설명하기 위한 개략도이다. 도 6a는 도 3에서의 A-B-C의 현재 공정에서의 단면도이고, 도 6b는 도 3에서의 D-D'의 현재 공정에서의 단면도이고, 도 6c는 도 3에서의 E-F-G-H-I-J의 현재 공정에서의 단면도이다.

- <52> 도 6a 내지 도 6c에서 도시된 바와 같이, 상기 단차가 존재하는 소자분리막(112)의 측벽을 따라 측벽 스페이서(114)가 형성된다. 상기 측벽 스페이서(114)는 소자분리막(112)이 형성된 기판(110)에 단차 도포성이 우수한 절연막, 예컨대 CVD 산화막 또는 CVD 질화막을 500Å 내지 800Å의 두께로 형성하고, 이를 이방성 식각한 다음에, CMP공정이나 에치-백 공정 등을 이용한 평탄화 공정을 수행함에 의하여 소자분리막(112)의 측벽에 스페이서(114)가 형성된다.
- <53> 상기 스페이서(114)의 두께에 따라, 후 공정에서 형성되는 채널의 바디(body) 두께가 결정된다. 즉, 상기 스페이서(114)의 두께를 조절함에 의해서 후 공정에서 형성되는 리세스의 측벽 두께, 즉 공핍 영역이 결정된다. 따라서 상기 스페이서(114)의 두께를 조절함에 의해 FD(Fully-Depleted) SOI 트랜지스터를 형성하거나, PD(Partially-Depleted) SOI 트랜지스터를 형성하는 것이 가능하다.
- <54> 도 7은 상기 측벽 스페이서(114)를 이용하여 리세스를 형성하는 단계를 설명하기 위한 개략도이다. 도 7a는 도 3에서의 A-B-C의 현재 공정에서의 단면도이고, 도 7b는 도 3에서의 D-D'의 현재 공정에서의 단면도이고, 도 7c는 도 3에서의 E-F-G-H-I-J의 현재 공정에서의 단면도이다.
- <55> 도 7a 내지 도 7c에서 도시된 바와 같이, 상기 소자분리막(112)의 측벽에 형성된 측벽 스페이서(114) 및 상기 소자분리막(112)를 식각 마스크로 사용하여 상기 기판(110)의 활성영역 중 노출된 활성영역을 소정 깊이까지 식각함에 의하여 리세스가 형성된다. 상기 리세스 형성을 위한 식각은 이방성 식각 방법을 수행하며, 건식 식각, RIE(Reactive Ion Etching) 또는 플라즈마를 이용한 식각 방법 등이 사용 될 수 있다. 상기 리세스는 1000Å 내지 2000Å의 깊이로 형성됨이

바람직하다. 상기 리세스의 제1방향 측벽들은 트랜지스터의 채널로 사용되며, 리세스의 깊이에 따라 제1방향 측벽들에 형성되는 채널의 폭이 결정된다. 상기 리세스를 형성하기 위한 식각공정에 의해서 상기 기판(110)이 영향(damage)을 받을 수 있으므로, 이를 제거하는 공정인 어닐링(annealing) 공정을 추가하여 행할 수 있다.

<56> 도 8은 리세스가 형성된 기판에 대하여 문턱전압 조절용 불순물 층(113a, 113b)이 형성되는 단계를 설명하기 위한 개략도이다. 도 8a는 도 3에서의 A-B-C의 현재 공정에서의 단면도이고, 도 8b는 도 3에서의 D-D'의 현재 공정에서의 단면도이고, 도 8c는 도 3에서의 E-F-G-H-I-J의 현재 공정에서의 단면도이다.

<57> 도 8a 내지 도 8c에 도시된 바와 같이, 상기 기판(110)에 형성된 리세스의 바닥 및 제1방향 측벽들에 문턱전압 조절용 불순물 층(113a, 113b)이 형성된다. 상기 문턱전압 조절용 불순물 층(113a, 113b)의 형성은 이온주입 방법이 이용된다. 상기 리세스 형성 전에 문턱전압 조절용 불순물 층(113a, 113b)이 형성된 경우에는 본 단계에서의 문턱전압 조절용 불순물 층(113a, 113b)을 형성하는 단계는 생략될 수 있다.

<58> 상기 문턱 전압 조절용 불순물층(113a)은 셀 트랜지스터의 문턱전압을 0.7 내지 1.2V로 조절하기 위하여 제1도전형의 불순물을, 상기 리세스의 제1방향 측벽들에 주입함에 의하여 형성된다. NMOS 트랜지스터 제조시에는 P형의 불순물, 예컨

대 붕소(B) 또는 불화 붕소(BF₂) 이온을 1.0×10^{13} ion atoms/cm² 의 도우즈(dose)로 주입하고, PMOS 트랜지스터 제조시에는 N형의 불순물, 예컨대 비소(As) 또는 인(P) 이온을 1.0×10^{13} ion atoms/cm² 의 도우즈(dose)로 주입하여, 리세스의 제1방향 측벽들에 문턱전압 불순물 층(113a)이 형성되도록 한다. 그리고, 리세스의 바닥에도 문턱전압 불순물 층(113b)이 형성되는데, 상기 리세스의 바닥에 형성되는 문턱전압 조절용 불순물 층은 문턱전압이 2.0V 내지 3.0V의 범위를 가지도록 하이 도우즈(high dose)로 주입함으로써 형성된다. 이는 리세스의 바닥을 채널로 사용하게 되면, 트랜지스터의 동작시 단 채널 효과(short channel effect)가 심할 것이므로, 리세스 바닥의 문턱전압을 상승시킴으로써 리세스 바닥의 채널 형성을 방지한다.

<59> 제1방향 측벽들에 대한 문턱전압 조절용 불순물층(113a)의 형성은 틸트 이온주입 방법이 이용된다. 다만, 틸트 이온주입 방법을 이용할 경우에는 문턱 전압 조절용 불순물층(113a, 113b)을 형성하는 과정에서 밀도가 균일하게 조절되지 않는 경우가 발생하고, 또한 소자의 집적도가 증가함에 따라 섀도우(shadow)현상이 생길 수 있다. 따라서, 상기의 이온 주입 방법 대신에 플라즈마 도핑 방법을 사용하는 것이 가능하다. 플라즈마 도핑 공정에서는 플라즈마 밀도가 고농도이기 때문에, 적당한 저농도의 도핑층을 형성하기 위해서는 도핑시간이 극히 짧아야 한다.

<60> 도 9는 게이트 절연막(116), 게이트 전극(118) 및 게이트 캡핑막(120)을 형성하는 단계를 설명하기 위한 개략도이다. 도 9a는 도 3에서의 A-B-C의 현재 공정에

서의 단면도이고, 도 9b는 도 3에서의 D-D'의 현재 공정에서의 단면도이고, 도 9c는 도 3에서의 E-F-G-H-I-J의 현재 공정에서의 단면도이다. 또한, 도 9d는 현재 공정에서의 평면도이다.

<61> 도 9a 내지 도 9d에 도시된 바와 같이, 상기 문턱 전압 조절용 불순물층 (113a, 113b)이 형성된 상기 리세스의 바닥 및 제1방향 측벽들의 일부에 게이트 절연막(116)이 형성된다. 상기 게이트 절연막은 50Å 내지 100Å의 얇은 열산화막으로 형성되는 것이 바람직하다. 다음에, 상기 게이트 절연막(116)이 형성된 결과물 전면에, 게이트 전극(118)을 형성하기 위한 도전막이 형성된다. 예컨대, LPCVD 공정 또는 PECVD 공정을 이용하여 도핑된 폴리 실리콘막 또는 텅스텐 폴리 사이드막을 증착하여 형성된다. 상기 도전막은 상기 리세스를 메울 정도의 충분한 두께로 소자분리막(112)의 상부보다 높도록 형성되며, 상기 도전막 형성후에 CMP와 같은 평탄화 공정이 추가될 수 있다. 상기 도전막 상부에 캡핑막을 형성한다. 상기 캡핑막은 실리콘 질화막 등을 LPCVD 공정 또는 PECVD 공정으로 증착하고 평탄화 공정을 수행함에 의해 형성될 수 있다.

<62> 이러한 캡핑막의 상부에 하드마스크(미도시)가 형성될 수 있다. 이러한 하드 마스크는 실리콘 산화물로 형성될 수 있으며, 상기 캡핑막 및 도전막을 순차적으로 식각하여 게이트를 패터닝 할 때 식각 마스크로 이용된다. 사진 및 식각 공정으로 캡핑막 및 하부의 도전막을 순차적으로 식각함으로써, 게이트 캡핑막 (120) 및 게이트 전극(118)이 형성된다. 이러한 게이트 절연막(116), 게이트 전극(118) 및 게이트 캡핑막(120)은 상기 리세스의 서로 대향하는 제1방향 측벽들

을 서로 연결하며, 상기 리세스의 제1방향 측벽들 및 리세스 바닥의 중앙에 위치하여 형성된다.

<63> 도 10은 상기 리세스의 제1방향 측벽들에 소오스 및 드레인 영역(121a, 121b)이 형성되는 단계를 설명하기 위한 개략도이다. 도 10a는 도 3에서의 A-B-C의 현재 공정에서의 단면도이고, 도 10b는 도 3에서의 D-D'의 현재 공정에서의 단면도이고, 도 10c는 도 3에서의 E-F-G-H-I-J의 현재 공정에서의 단면도이다.

<64> 도 10a 내지 도 10c에 도시된 바와 같이, 게이트 절연막(116), 게이트 전극(118) 및 게이트 캡핑막(120)이 형성된 기판(110)에 소오스 및 드레인 영역(121a, 121b)이 형성된다. 상기 소오스 및 드레인 영역(121a, 121b)은 상기 게이트 캡핑막(120) 및 소자분리막(112)을 이온주입 마스크로 하여 리세스의 제1방향 측벽들에, 제2도전형의 불순물을 고농도로 도핑함에 의해 형성된다. 상기 소오스 및 드레인 영역(121a, 121b)의 형성은 틸트 이온 주입방법을 이용한다. 예컨대, NMOS 트랜지스터 형성의 경우에는 비소(As), 인(P) 또는 이들의 혼합물을 사용할 수 있는데, 10 내지 50KeV 범위의 이온 주입 에너지로 1.0×10^{14} 내지 1.0×10^{16} ion atoms/cm²의 도우즈 량의 비소(As)를 주입하거나, 5 내지 20KeV 범위의 이온주입에너지로 하여 1.0×10^{14} 내지 1.0×10^{16} ion atoms/cm²의 도우즈 량의 인(P)를 주입한다. 혼합물일 경우 10 내지 50KeV 범위의 이온 주입 에너지로 비소(As) 및 인(P)의 혼합물을 먼저 주입하고 나서, 5 내지 20KeV 범위의 이온주입에너지로 하여 1.0×10^{14} 내지 1.0×10^{16} ion atoms/cm²의 도우즈량의 인(P)를 순차적으로 주

입하여 형성한다. PMOS 트랜지스터 형성의 경우에는 붕소(B), 불화 붕소(BF₂) 또는 이들의 혼합물을 사용할 수 있는데, 2 내지 5KeV 범위의 이온 주입 에너지로 1.0×10^{14} 내지 1.0×10^{16} ion atoms/cm² 의 도우즈량의 붕소(B)를 주입하거나, 10 내지 40KeV 범위의 이온 주입 에너지로 1.0×10^{14} 내지 1.0×10^{16} ion atoms/cm² 의 도우즈량의 불화 붕소(BF₂)를 주입하고, 혼합물일 경우에는, 10 내지 40KeV 범위의 이온 주입 에너지로 붕소(B) 및 불화 붕소(BF₂)의 혼합물을 먼저 주입하고 나서, 2 내지 5KeV 범위의 이온 주입 에너지로 1.0×10^{14} 내지 1.0×10^{16} ion atoms/cm² 의 도우즈량의 붕소(B)를 순차적으로 주입하여 형성한다.

<65> 다만, 틸트 이온주입 방법을 이용할 경우에는 소오스 및 드레인 영역(121a,121b)을 형성함에 있어서, 상기 소오스 및 드레인 영역(121a,121b)에 균일하게 이온 주입이 되지 않는 경우가 발생하고, 또한 소자의 집적도가 증가함에 따라 섀도우(shadow)현상이 생길 수 있다. 따라서, 상기의 이온주입 방법 대신에 플라즈마 도핑 방법을 사용하는 것이 가능하다. 상기 플라즈마 도핑 방법은 제2도전형의 불순물을 함유한 가스를 진공 챔버 내에 도입하여 플라즈마를 발생시키고, 상기 플라즈마를 이용하여 제2도전형의 불순물을 소오스 및 드레인이 형성될 영역에 도핑하는 공정으로 이루어진다. 플라즈마 도핑방법을 이용할 경우에는 저렴하고 국부적인 도핑이 가능하다.

<66> 도 11은 상기 게이트 절연막(116), 게이트 전극(118) 및 게이트 캡핑막(120)

이 형성된 기판(110) 전면에 제2절연막을 형성하는 단계를 설명하기 위한 개략도이다. 도 11a는 도 3에서의 A-B-C의 현재 공정에서의 단면도이고, 도 11b는 도 3에서의 D-D'의 현재 공정에서의 단면도이고, 도 11c는 도 3에서의 E-F-G-H-I-J의 현재 공정에서의 단면도이다. 또한, 도 11d는 현재 공정에서의 평면도이다.

<67> 도 11a 내지 도 11d에 도시된 바와 같이, 상기 게이트 전극(118), 게이트 캡핑막(120), 소오스 및 드레인 영역(121a, 121b)이 형성된 기판(110) 전면에 상기 리세스를 완전히 메우도록 제2절연막(122)을 형성한다. 상기 제2절연막(122)은 상기 기판(110)에 비해서 높은 식각선택비를 가지는 다양한 절연물질, 예컨대, 실리콘 산화물 등으로 형성될 수 있으며, 여러 종류의 절연막들이 적층되어 형성될 수 있다. 이와 같이 제2절연막(122)은 LPCVD 공정 또는 PECVD 공정을 이용하여 게이트 캡핑막(120) 및 상기 리세스를 완전히 덮도록 형성된다. 이후에 게이트 캡핑막(120)을 평탄화 저지막으로 하여 제2절연막(122)의 표면이 평탄화하는 평탄화 공정이 행해진다. 이때, 평탄화 공정은 화학 기계적 연마(CMP) 또는 에치-백(etch-back) 공정 등을 이용하여 진행될 수 있다. 상기 제2절연막(122)은 게이트 절연막(116) 및 게이트 전극(118)과 후 공정에서 형성되는 소오스 및 드레인 전극(124a, 124b)간을 절연시키는 역할을 한다.

<68> 도 12는 제2절연막(122)을 패터닝하여 소오스 및 드레인 전극(124a, 124b)을 형성하기 위한 콘택홀을 형성하는 단계를 설명하기 위한 개략도이다. 도 12a는 도 3에서의 A-B-C의 현재 공정에서의 단면도이고, 도 12b는 도 3에서의 D-D'의 현재 공정에서의 단면도이고, 도 12c는 도 3에서의 E-F-G-H-I-J의 현재 공정에서의 단면도이다. 또한, 도 12d는 현재 공정에서의 평면도이다.

<69> 도12a 내지 도 12d에 도시된 바와 같이, 상기 제2절연막(122)을 패터닝하여 콘택홀을 형성한다. 구체적으로, 상기 제2절연막(122)을 사진 식각 공정 및 자기 정렬 콘택(SAC:Self Align Contact) 식각 공정을 이용하여 패터닝하여 기판(110)의 소오스 및 드레인영역(121a,121b)의 일부를 노출시키는 콘택홀을 형성한다. 상기 콘택홀은 사진공정을 이용하여 절연막 상에 이러한 콘택홀이 형성될 위치를 노출하는 포토 레지스트 패턴(미도시) 등과 같은 식각 마스크를 형성한 후, 노출된 제2절연막(122)부분을 식각한다. 이때 상기 소자분리막의 측벽에 형성된 스페이서(114)의 재질과 상기 제2절연막(122)의 재질이 동일한 경우에는 상기 스페이서(114)도 상기 콘택홀 형성시 동시에 식각된다. 상기 콘택홀은 이방성 식각 방법, 즉 건식 식각, RIE(Reactive Ion Etching) 또는 플라즈마를 이용한 식각 방법 등을 수행함에 의해서 형성되며, 제1방향 측벽들에 형성된 소오스 및 드레인 영역(121a,121b)의 일부를 노출시키도록 형성될 수 있다. 상기 콘택홀이 소오스 및 드레인 영역(121a,121b)의 일부만을 노출시킴으로서, 상기 리세스의 바닥이 채널로 동작하는 것을 방지할 수 있다. 다른 실시예에 의하면 상기 콘택홀은 상기 소오스 및 드레인 영역(121a,121b)의 일부를 노출시킬 뿐 아니라 상기 리세스의 바닥 일부도 노출되도록 형성될 수 있다. 한편, 이러한 콘택홀 영역에 포함되지 않고 제2절연막으로 덮여있는 부분은 게이트의 폭방향으로 게이트 절연막(116) 및 게이트 전극(118)의 측면을 덮고 있는 상태를 유지한다.

<70> 도 13은 상기 형성된 콘택홀에 도전물질을 채워 소오스 및 드레인 전극(124a,124b)을 형성하는 단계를 설명하기 위한 개략도이다. 도 13a는 도 3에서의 A-B-C의 현재 공정에서의 단면도이고, 도 13b는 도 3에서의 D-D'의 현재 공정에

서의 단면도이고, 도 13c는 도 3에서의 E-F-G-H-I-J의 현재 공정에서의 단면도이다. 또한, 도 13d는 현재 공정에서의 평면도이다.

<71> 도 13a 내지 도 13d에 도시한 바와 같이, 상기 콘택홀이 형성된 기판(110) 전면에 상기 콘택홀을 메우면서, 상기 콘택홀에 의해 노출된 소오스 및 드레인 영역(121a, 121b)과 전기적으로 접촉하여 연결되는 도전막을 형성한다. 이러한 도전막은 도핑된 폴리 실리콘막(doped poly silicon layer) 또는 텅스텐 폴리사이드막을 LPCVD 공정 또는 PECVD 공정을 이용하여 증착함으로써 형성될 수 있다. 상기 도전막에 평탄화 공정을 수행함에 의하여 각각의 소오스 및 드레인 전극(124a, 124b)이 형성된다. 평탄화 공정은 화학 기계적 연마(CMP) 또는 에치-백 등으로 수행될 수 있다. 또한 이러한 평탄화는 게이트 캡핑막(120)이 노출될 때까지 수행되는 것이 바람직하다. 상기 도전막이, 폴리실리콘막으로 형성되면 소오스 및 드레인 영역(121a, 121b)에 발생하는 기생저항을 방지하는 것이 가능하다. 그리고, 상기 소오스 및 드레인 전극은, 이후의 공정에서 비트라인(미도시)에 연결되거나 커패시터의 스토리지 전극(미도시)에 연결될 수 있다.

<72> 이상의 공정에 의하여, 기판에 형성된 소자분리막에 의해 정의되고 일부에 리세스가 형성된 활성영역과; 제1방향으로 상기 리세스의 측벽들의 일부 및 바닥 상부의 일부에 형성된 게이트 절연막과; 상기 리세스의 제1방향 측벽들과는 상기 게이트 절연막을 개재하여 접촉되며, 상기 제1방향 측벽들에 대하여 실질적으로 직

각을 이루는 상기 리세스의 제2방향 측벽들과는 일정거리만큼 이격된 채로, 상기 리세스에 형성된 게이트 전극과; 상기 제1방향 측벽들중에서 상기 게이트 절연막이 형성된 영역을 제외하고 서로 대향되어 있는 상기 제1방향 측벽들에, 상기 제1방향에서 상기 게이트 전극을 사이에 두고서, 각기 형성된 소오스 영역 및 드레인 영역을 구비하는 트랜지스터로써, 기판에 대하여 수평방향으로 SOI 구조를 가지며, 리세스의 제1방향 측벽들에 이중으로 채널을 갖는 트랜지스터가 완성된다.

<73> 상기한 실시예의 설명은 본 발명의 더욱 철저한 이해를 제공하기 위하여 도면을 참조로 예를 든 것에 불과하므로, 본 발명을 한정하는 의미로 해석되어서는 안될 것이다. 또한, 본 발명의 기술분야에서 통상의 지식을 가진 자에게 있어 본 발명의 기본적 원리를 벗어나지 않는 범위 내에서 다양한 변화와 변경이 가능함은 물론이다. 예컨대, 사안에 따라 트랜지스터 형성과정에서, 기판의 형상, 게이트 전극의 형상, 리세스의 형상 또는 막질의 구성이 변경되거나, 제조 공정이 가감될 수 있음은 명백하다.

【발명의 효과】

<74> 이상 설명한 바와 같이, 본 발명에 따르면, SOI 기판을 따로 제조하는 공정이 필요 없이, 벌크 기판에서 소자분리막이 매몰 산화막(BOX)역할을 하기 때문에 기판에 대하여 수평으로 SOI구조의 트랜지스터를 형성하는 효과가 있다.

- <75> 본 발명에 따르면, 트랜지스터의 채널을 이중으로 형성함에 의하여, 채널에 흐르는 전류가 증가되고, 같은 채널 전류를 갖는 트랜지스터에 비해서 고집적화가 가능하다.
- <76> 본 발명에 따르면, 스페이서의 두께를 조절함에 의해 트랜지스터의 바디(body)의 두께의 조절이 가능하고, 리세스의 깊이를 조절함에 의해서 트랜지스터의 폭(width)를 조절하는 것이 가능하게 된다.
- <77> 본 발명에 따르면, 트랜지스터의 제조에 있어서 SOI 기판을 제조하는 공정이 불필요하므로 제조원가를 줄일 수 있고, 공정의 단순화를 도모할 수 있다.
- <78> 따라서, 본 발명에 따라 형성된 트랜지스터는, SOI 기판을 별도로 제작함이 없이도, SOI 기판 구조가 갖는 트랜지스터의 동작상의 이점을 향유할 수 있고, 고집적화의 추세에 보다 적합하게 사이즈의 축소가 가능하며, 전류구동 능력 및 소자 퍼포먼스가 보다 우수하다.

【특허청구범위】**【청구항 1】**

기판에 형성된 소자분리막에 의해 정의되는 활성영역의 일부에 리세스를 형성하는 단계;

제 1방향으로 상기 리세스의 측벽들의 일부 및 바닥 상부의 일부에 게이트 절연막을 형성하고, 상기 리세스에, 상기 게이트 절연막을 개재하여 상기 활성영역에 접촉되고 상기 제1방향 측벽들에 대하여 실질적으로 직각을 이루는 상기 리세스의 제2방향 측벽들과는 일정거리 만큼 이격되게 게이트 전극을 형성하는 단계; 및

상기 리세스의 제1방향 측벽들 중에서 상기 게이트 절연막이 형성된 영역을 제외하고 서로 대향되어 있는 상기 제1방향 측벽들에, 상기 제1방향에서 상기 게이트 전극을 사이에 두고서, 각각 소오스 영역 및 드레인 영역을 형성하는 단계를 포함함을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 제조 방법.

【청구항 2】

제1항에 있어서,

상기 소자분리막은 STI방법으로 형성됨을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 제조 방법.

【청구항 3】

제2항에 있어서,

상기 소자분리막의 재질은 USG(Undoped Silicate Glass)막 또는 HDP-CVD(High Density Plasma-Chemical Vapor Deposition)법을 이용한 산화막임을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 제조 방법.

【청구항 4】

제3항에 있어서,

상기 소자분리막의 깊이는 2000Å 내지 3000Å임을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 제조방법.

【청구항 5】

제1항에 있어서,

상기 리세스의 깊이는 1000Å 내지 2000Å임을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 제조방법.

【청구항 6】

제1항에 있어서,

상기 게이트 절연막의 재질은 산화막임을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 제조 방법.

【청구항 7】

제6항에 있어서,

상기 게이트 절연막은 열산화에 의해 형성됨을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 제조 방법.

【청구항 8】

제7항에 있어서,

상기 게이트 전극의 재질은 도핑된 폴리 실리콘막 또는 텅스텐 폴리사이드 막임을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 제조 방법.

【청구항 9】

제8항에 있어서,

상기 게이트 전극의 형성과 동시에 상기 게이트 전극의 상부에 게이트 캡핑 막이 형성됨을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 제조 방법.

【청구항 10】

제9항에 있어서,

상기 게이트 캡핑막의 재질은 실리콘 질화막임을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 제조 방법.

【청구항 11】

제1항에 있어서,

상기 활성영역에 리세스를 형성하기 전에, 후 공정에서 형성되는 리세스의 제1방향 측벽들 및 리세스의 바닥에 형성되도록, 상기 활성영역에 문턱전압 조절 용 불순물 층을 형성하는 단계를 더 포함함을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 제조 방법.

【청구항 12】

제1항에 있어서,

상기 리세스를 형성한 후 게이트 절연막을 형성하기 전에 상기 리세스의 바닥과 제1방향 측벽들에 문턱전압 조절용 불순물 층을 형성하는 단계를 더 포함함을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 제조 방법.

【청구항 13】

제11항 또는 제12항에 있어서,

상기 리세스 바닥에 형성된 문턱전압 조절용 불순물 층의 농도가 상기 리세스의 제1방향 측벽들에 형성된 불순물 층의 농도보다 더 높도록 형성됨을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 제조 방법.

【청구항 14】

제13항에 있어서,

상기 문턱전압 조절용 불순물 층은 이온 주입 방법에 의해 형성됨을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 제조 방법.

【청구항 15】

제 14항에 있어서,

상기 리세스의 제1방향 측벽들에 형성되는 문턱전압 조절용 불순물 층은 텅스트 이온 주입 방법을 수행함에 의해 형성됨을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 제조 방법.

【청구항 16】

제13항에 있어서,

상기 리세부 바닥 및 제1방향 측벽들에 형성되는 문턱전압 조절용 불순물 층은 플라즈마 도핑방법을 수행함에 의해 형성됨을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 제조 방법.

【청구항 17】

제1항에 있어서,

상기 리세스의 제1방향 측벽들에 형성되는 소오스 및 드레인 영역은 틸트 이온 주입 방법을 수행함에 의해 형성됨을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 제조 방법.

【청구항 18】

제1항에 있어서,

상기 리세스의 제1방향 측벽들에 형성되는 소오스 및 드레인 영역은 플라즈마 도핑 방법을 수행함에 의해 형성됨을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 제조 방법.

【청구항 19】

제1항에 있어서,

상기 소오스 및 드레인 영역이 형성된 기판에, 상기 소오스 및 드레인 영역과 전기적으로 연결되는 소오스 및 드레인 전극을 형성하는 단계를 더 포함함을

특징으로 하는 수직 이중 채널을 갖는 수직 이중 채널을 갖는 SOI 트랜지스터의 제조 방법.

【청구항 20】

제19항에 있어서,

상기 소오스 및 드레인 전극은 도핑된 폴리 실리콘막 또는 텅스텐 폴리사이드막으로 형성됨을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 제조 방법.

【청구항 21】

제1항에 있어서,

상기 기판은 벌크 반도체 기판임을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 제조 방법.

【청구항 22】

기판에 정의된 활성영역이 절연되도록 에워싸면서, 상기 활성영역의 최상부와 단차를 갖도록 하기 위해 상기 기판의 표면상부보다 높게 소자분리막을 상기 기판에 형성하는 단계;

상기 단차가 존재하는 상기 소자분리막의 측벽을 따라 측벽 스페이서를 형성하는 단계;

상기 측벽 스페이서 및 소자분리막을 식각 마스크로 사용하여 상기 활성영역중 노출된 활성영역을 소정깊이까지 식각함에 의해, 상기 활성영역의 일부에 리세스를 형성하는 단계;

상기 리세스의 바닥 상부 및 제1방향 측벽들의 일부에 게이트 절연막을 형성하고, 상기 게이트 절연막 상부에 상기 리세스를 충분히 메우도록 게이트 전극을 형성함과 아울러, 상기 게이트 전극 상부에 게이트 캡핑막을 형성하는 단계; 및

상기 리세스의 제1방향 측벽들 중에서 상기 게이트 전극이 형성된 영역을 제외하고 서로 대향되어 있는 상기 제1방향 측벽들에, 상기 제1방향에서 상기 게이트 전극을 사이에 두고서, 각각 소오스 영역 및 드레인 영역을 형성하는 단계를 포함함을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 제조 방법.

【청구항 23】

제22항에 있어서,

상기 단차는 500Å 내지 1000Å임을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 제조방법.

【청구항 24】

제22항에 있어서,

상기 소자분리막의 형성방법은:

기판에 활성 영역을 한정하는 소자 분리 예정영역이 노출되도록 마스크 패턴을 형성하는 단계;

상기 마스크 패턴을 이용하여 상기 기판의 일부에 트렌치를 형성하는 단계;

상기 트렌치를 완전히 매립하고, 상기 마스크 패턴 상부 높이와 같도록 소자분리막용 제1절연막을 형성하는 단계; 및

상기 마스크 패턴을 제거하는 단계를 포함하여 형성됨을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 제조 방법.

【청구항 25】

제24항에 있어서,

상기 소자분리막의 재질은 USG(Undoped Silicate Glass)막 또는 HDP-CVD(High Density Plasma-Chemical Vapor Deposition)법을 이용한 산화막임을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 제조 방법.

【청구항 26】

제25항에 있어서,

상기 소자분리막의 깊이는 2000Å 내지 3000Å임을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 제조방법.

【청구항 27】

제26항에 있어서,

상기 마스크 패턴의 두께는 500Å 내지 1000Å임을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 제조방법.

【청구항 28】

제27항에 있어서,

상기 마스크 패턴의 재질은 질화막임을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 제조 방법.

【청구항 29】

제22항에 있어서,

상기 리세스의 깊이는 1000Å 내지 2000Å임을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 제조방법.

【청구항 30】

제29항에 있어서,

상기 리세스 형성을 위한 식각은 이방성 식각임을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 제조방법.

【청구항 31】

제22항에 있어서,

상기 스페이서의 재질은 산화막 또는 질화막임을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 제조방법.

【청구항 32】

제22항에 있어서,

상기 게이트 전극 및 게이트 캡핑막의 형성방법은: 상기 게이트 절연막이 형성된 기판 전면에 게이트 전극용 도전막 및 게이트 캡핑막용 물질막을 순차적으로 적층하는 단계; 및

상기 게이트 캡핑막용 물질막, 게이트 전극용 도전막이 순차적으로 형성된 기판에 사진 및 식각 공정을 수행하여 게이트 전극 및 게이트 캡핑막을 형성하는 단계를 포함함에 의해 형성됨을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 제조 방법.

【청구항 33】

제32항에 있어서,

상기 게이트 절연막의 재질은 산화막임을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 제조 방법.

【청구항 34】

제33항에 있어서,

상기 게이트 절연막은 열산화에 의해 형성됨을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 제조 방법.

【청구항 35】

제34항에 있어서,

상기 게이트 전극은 도핑된 폴리 실리콘막 또는 텅스텐 폴리사이드 막으로 형성됨을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 제조 방법.

【청구항 36】

제22항에 있어서,

상기 소자분리막에 측벽 스페이서를 형성하기 전에, 후 공정에서 형성되는 리세스의 제1방향 측벽들 및 리세스의 바닥에 형성되도록, 상기 활성영역에 문턱

전압 조절용 불순물 층을 형성하는 단계를 더 포함함을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 제조 방법.

【청구항 37】

제22항에 있어서,

상기 리세스를 형성한 후 게이트 절연막을 형성하기 전에 상기 리세스의 바닥과 제1방향 측벽들에 문턱전압 조절용 불순물 층을 형성하는 단계를 더 포함함을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 제조 방법.

【청구항 38】

제36항 또는 제37항에 있어서,

상기 리세스 바닥에 형성된 문턱전압 조절용 불순물 층의 농도는 상기 리세스의 제1방향 측벽들에 형성된 불순물 층의 농도보다 더 높도록 형성됨을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 제조 방법.

【청구항 39】

제38항에 있어서,

상기 문턱전압 조절용 불순물 층은 이온 주입 방법에 의해 형성됨을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 제조 방법.

【청구항 40】

제39항에 있어서,

상기 리세스의 제1방향 측벽들에 형성되는 문턱전압 조절용 불순물 층은 틸트 이온 주입 방법을 수행함에 의해 형성됨을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 제조 방법.

【청구항 41】

제38항에 있어서,

상기 리세스 바닥 및 제1방향 측벽들에 형성되는 문턱전압 조절용 불순물 층은 플라즈마 도핑방법을 수행함에 의해 형성됨을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 제조 방법.

【청구항 42】

제22항에 있어서,

상기 리세스의 제1방향 측벽들에 형성되는 소오스 및 드레인 영역은 틸트 이온 주입 방법을 수행함에 의해 형성됨을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 제조 방법.

【청구항 43】

제22항에 있어서,

상기 리세스의 제1방향 측벽들에 형성되는 소오스 및 드레인 영역은 플라즈마 도핑 방법을 수행함에 의해 형성됨을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 제조 방법.

【청구항 44】

제22항에 있어서,

상기 소오스 및 드레인 영역이 형성된 기판 전면에, 상기 리세스를 메우고
상기 게이트 캡핑막의 상부와 높이가 같은 제2절연막을 형성하는 단계;

상기 제2절연막에 상기 소오스 및 드레인 영역이 노출되도록 콘택홀을 형성
하는 단계; 및

상기 콘택홀에 도전물질을 충전하여 소오스 및 드레인 전극을 형성하는 단
계를 더 포함함을 특징으로 하는 수직 이중 채널을 갖는 수직 이중 채널을 갖는
SOI 트랜지스터의 제조 방법.

【청구항 45】

제44항에 있어서,

상기 제2절연막의 재질은 산화막임을 특징으로 하는 수직 이중 채널을 갖는
SOI 트랜지스터의 제조 방법.

【청구항 46】

제45항에 있어서,

상기 소오스 및 드레인 전극은 도핑된 폴리 실리콘막 또는 텅스텐 폴리사이
드막으로 형성됨을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 제조
방법.

【청구항 47】

제22항에 있어서,

상기 기판은 벌크 반도체 기판임을 특징으로 하는 수직 이중 채널을 갖는
SOI 트랜지스터의 제조 방법.

【청구항 48】

벌크 반도체 기판에 정의된 활성영역이 절연되도록 에워싸면서, 상기 활성 영역의 최상부와 단차를 갖도록 하기 위해 상기 반도체 기판의 표면상부보다 높게 산화막 재질의 소자분리막을 상기 반도체 기판에 형성하는 단계;

상기 단차가 존재하는 상기 소자분리막의 측벽을 따라 산화막 재질의 측벽 스페이서를 형성하는 단계;

상기 측벽 스페이서 및 소자분리막을 식각 마스크로 사용하여 상기 활성영역중 노출된 활성영역을 소정깊이까지 이방성 식각함에 의해, 상기 활성영역의 일부에 리세스를 형성하는 단계;

상기 리세스의 바닥 및 제1방향 측벽들에 게이트 산화막을 형성하고, 상기 게이트 산화막이 형성된 기판 전면에 상기 리세스를 충분히 메우도록 도핑된 폴리실리콘막 및 질화막을 순차적으로 적층하는 단계;

상기 질화막 및 도핑된 폴리실리콘막이 형성된 상기 기판에, 사진 및 식각 공정을 수행함에 의해 게이트 전극 및 게이트 캡핑막을 형성하는 단계;

상기 리세스의 제1방향 측벽들 중에서 상기 게이트 전극이 형성된 영역을 제외하고 서로 대향되어 있는 상기 제1방향 측벽들에, 상기 제1방향에서 상기 게이트 전극을 사이에 두고서, 각각 고농도로 도핑된 소오스 영역 및 드레인 영역을 형성하는 단계;

상기 소오스 및 드레인 영역이 형성된 기판 전면에, 상기 리세스를 메우고 상기 게이트 캡핑막의 상부와 높이가 같도록 산화막을 적층하는 단계;

상기 산화막에 상기 소오스 및 드레인 영역이 노출되도록 콘택홀을 형성하는 단계; 및

상기 콘택홀에 폴리실리콘 재질의 도전물질을 충전하여 소오스 및 드레인 전극을 형성하는 단계를 포함함을 특징으로 하는 수직 이중 채널을 갖는 수직 이중 채널을 갖는 SOI 트랜지스터의 제조 방법.

【청구항 49】

기판에 형성된 소자분리막에 의해 정의되고 일부에 리세스가 형성된 활성영역과;

제 1방향으로 상기 리세스의 측벽들의 일부 및 바닥 상부의 일부에 형성된 게이트 절연막과;

상기 리세스의 제1방향 측벽들과는 상기 게이트 절연막을 개재하여 접촉되며, 상기 제1방향 측벽들에 대하여 실질적으로 직각을 이루는 상기 리세스의 제2방향 측벽들과는 일정거리만큼 이격된 채로, 상기 리세스에 형성된 게이트 전극과;

상기 제1방향 측벽들중에서 상기 게이트 절연막이 형성된 영역을 제외하고 서로 대향되어 있는 상기 제1방향 측벽들에, 상기 제1방향에서 상기 게이트 전극을 사이에 두고서, 각기 형성된 소오스 영역 및 드레인 영역을 구비함을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 구조.

【청구항 50】

제49항에 있어서,

상기 소자분리막의 깊이는 2000Å 내지 3000Å임을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 구조.

【청구항 51】

제49항에 있어서,

상기 리세스의 깊이는 1000Å 내지 2000Å임을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 구조.

【청구항 52】

제49항에 있어서,

상기 게이트 전극의 상부에 게이트 캡핑막이 더 구비됨을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 구조.

【청구항 53】

제49항에 있어서,

상기 기판은 상기 리세스의 제1방향 측벽들 및 리세스의 바닥에 문턱전압 조절용 불순물 층이 형성된 기판임을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 구조.

【청구항 54】

제53항에 있어서,

상기 리세스 바닥에 형성된 문턱전압 조절용 불순물 층의 농도는 상기 리세스의 제1방향 측벽들에 형성된 불순물 층의 농도보다 더 높음을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 구조.

【청구항 55】

제49항에 있어서,

상기 트랜지스터는 절연막에 의해 둘러싸이고 상기 소오스 및 드레인 영역의 일부와 전기적으로 연결되는 소오스 전극 및 드레인 전극을 더 구비함을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 구조.

【청구항 56】

제49항에 있어서,

상기 기판은 벌크 반도체 기판임을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 제조 방법.

【청구항 57】

기판에 형성된 소자분리막에 의해 정의되고 일부에 리세스가 형성된 활성화 영역과;

상기 리세스의 측벽들중 서로 대향된 제1방향 측벽들을 이루는 상기 활성화 영역에 선택적으로 형성된 소오스 영역과;

상기 소오스 영역에 대하여 설정된 게이트 길이만큼 제1방향으로 이격되며, 상기 제1방향 측벽들을 이루는 상기 활성화 영역에 형성된 드레인 영역과;

제 1방향으로 상기 소오스 영역과 상기 드레인 영역을 제외한 상기 제1방향 측벽들 및 상기 소오스 영역과 상기 드레인 영역을 제외한 상기 제1방향 측벽들에 대하여 수직을 이루는 상기 리세스의 바닥상부에 형성된 게이트 절연막과;

상기 리세스의 제1방향 측벽들 및 상기 리세스의 바닥상부와는 상기 게이트 절연막을 개재하여 접촉되며, 상기 드레인 영역 및 상기 소오스 영역의 사이에 형성된 게이트 전극을 구비함을 특징으로 하는 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터.

【청구항 58】

제57항에 있어서,

상기 소자분리막의 깊이는 2000Å 내지 3000Å임을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 구조.

【청구항 59】

제58항에 있어서,

상기 리세스의 깊이는 1000Å 내지 2000Å임을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 구조.

【청구항 60】

제59항에 있어서,

상기 게이트 전극의 상부에 게이트 캡핑막이 더 구비됨을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 구조.

【청구항 61】

제60항에 있어서,

상기 기판은 상기 리세스의 제1방향 측벽들 및 리세스의 바닥에 문턱전압 조절용 불순물 층이 형성된 기판임을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 구조.

【청구항 62】

제61항에 있어서,

상기 리세스 바닥에 형성된 문턱전압 조절용 불순물 층의 농도는 상기 리세스의 제1방향 측벽들에 형성된 문턱전압 불순물 층의 농도보다 더 높음을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 구조.

【청구항 63】

제62항에 있어서,

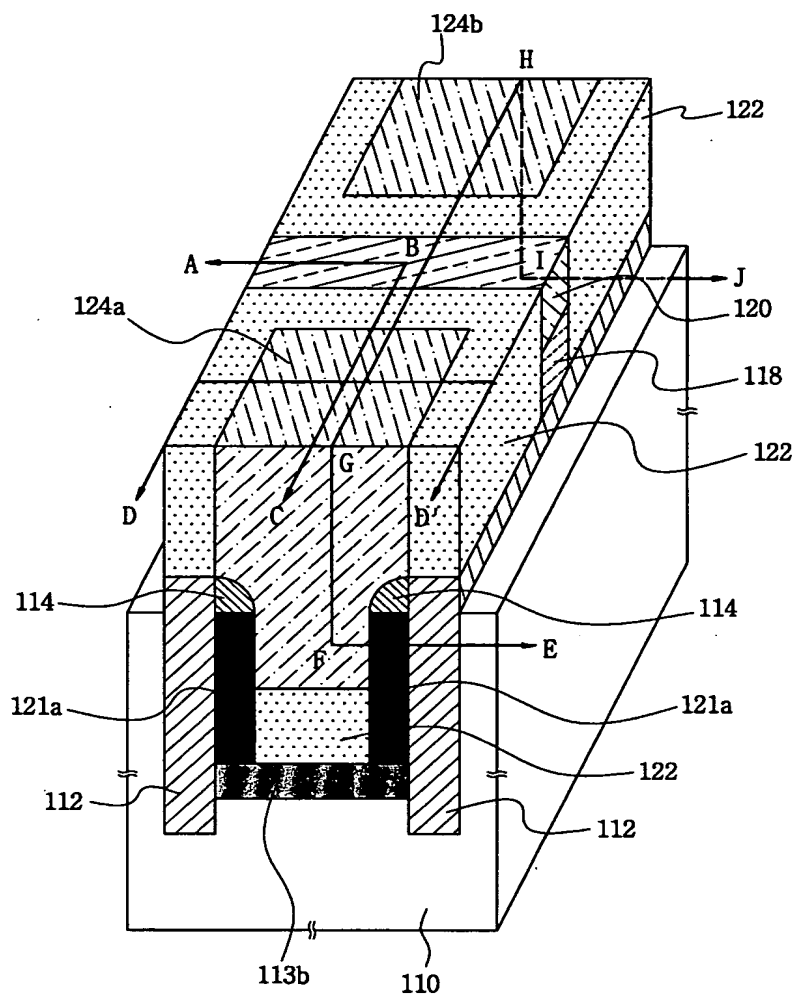
상기 트랜지스터는 절연막에 의해 둘러싸이고 상기 소오스 및 드레인 영역의 일부와 전기적으로 연결되는 소오스 전극 및 드레인 전극을 더 구비함을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 구조.

【청구항 64】

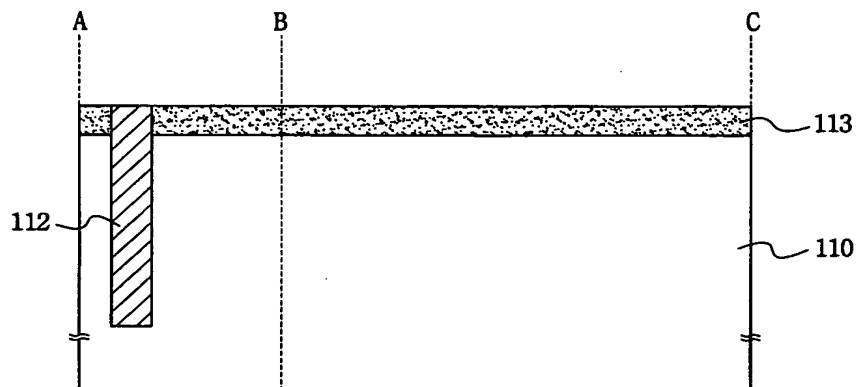
제63항에 있어서,

상기 기판은 벌크 반도체 기판임을 특징으로 하는 수직 이중 채널을 갖는 SOI 트랜지스터의 구조

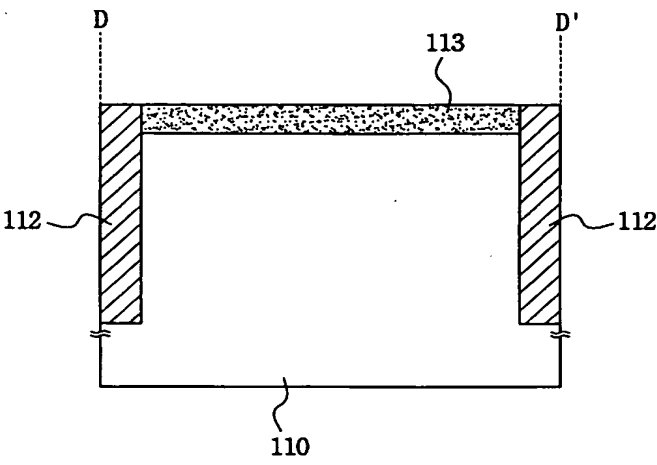
【도 3】



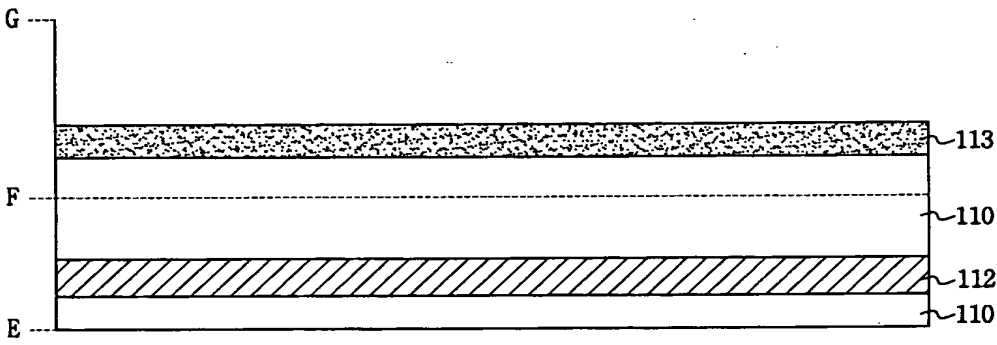
【도 4a】



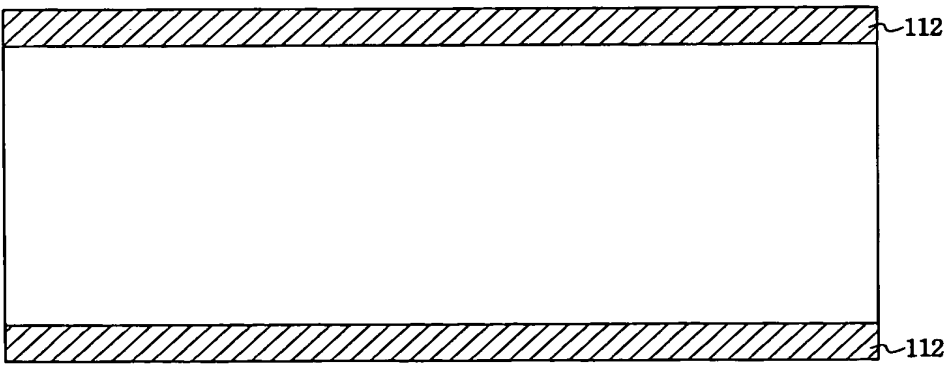
【도 4b】



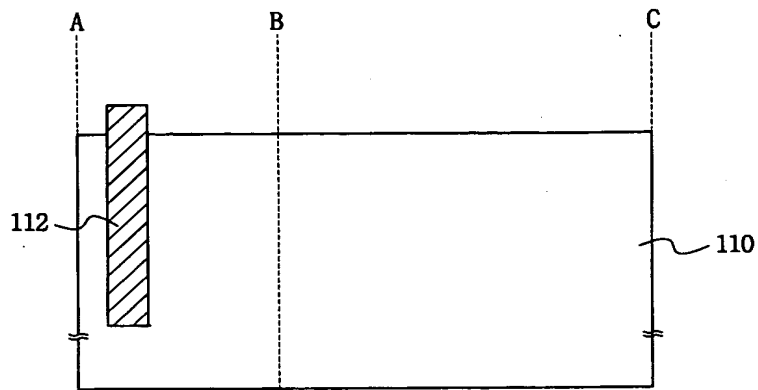
【도 4c】



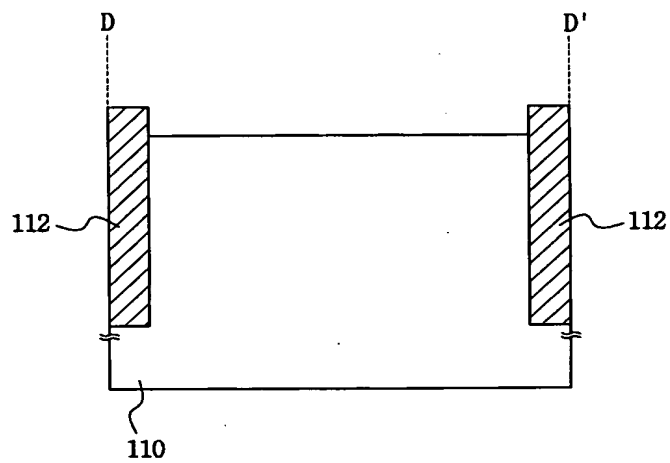
【도 4d】



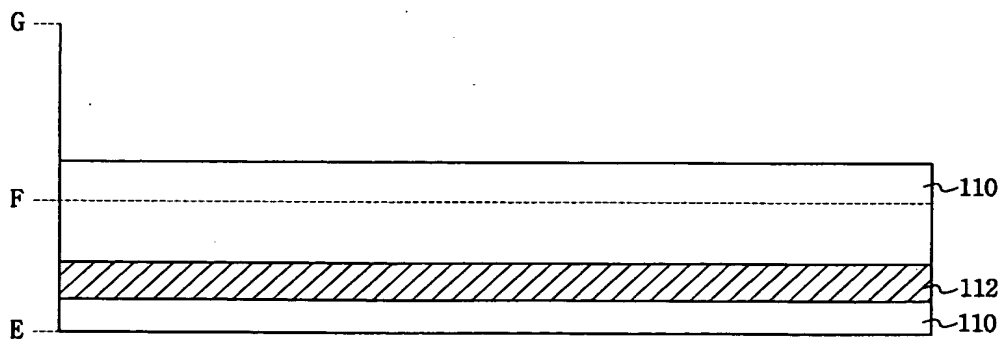
【도 5a】



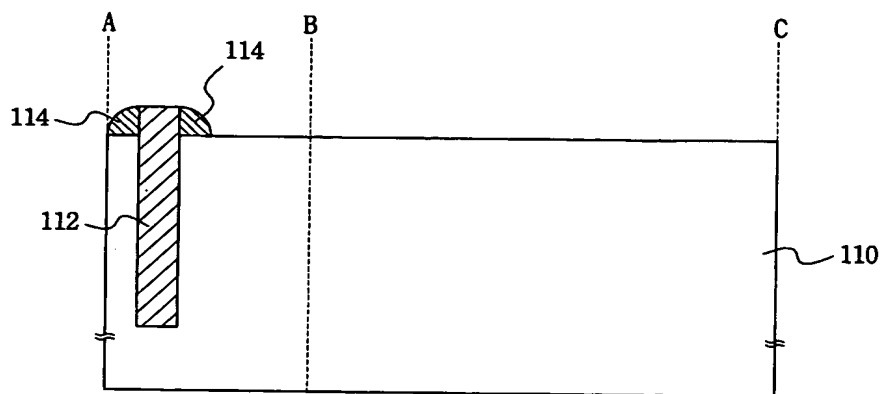
【도 5b】



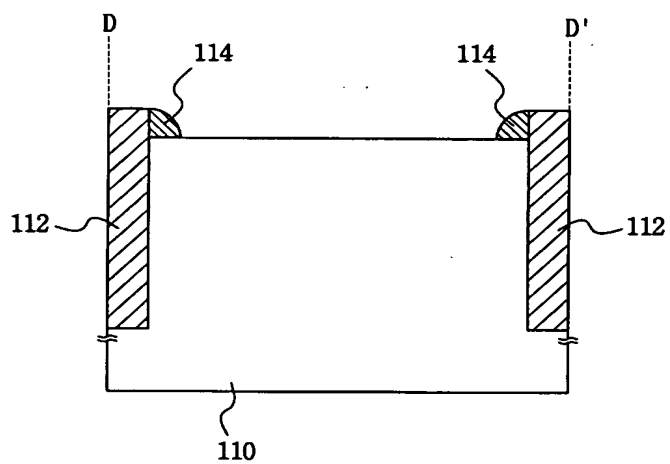
【도 5c】



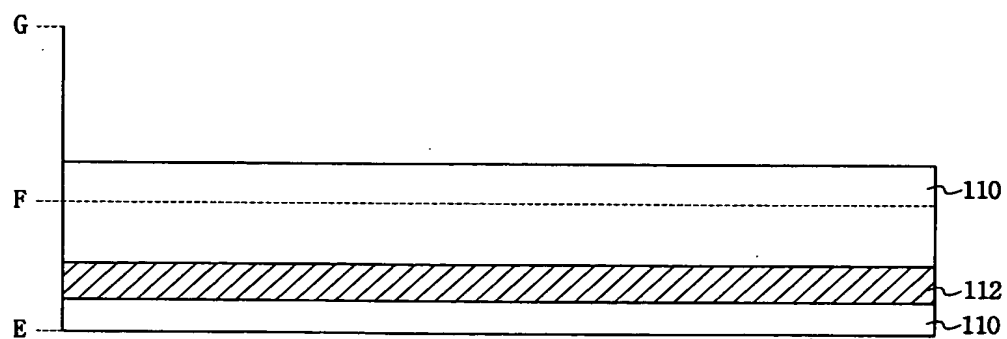
【도 6a】



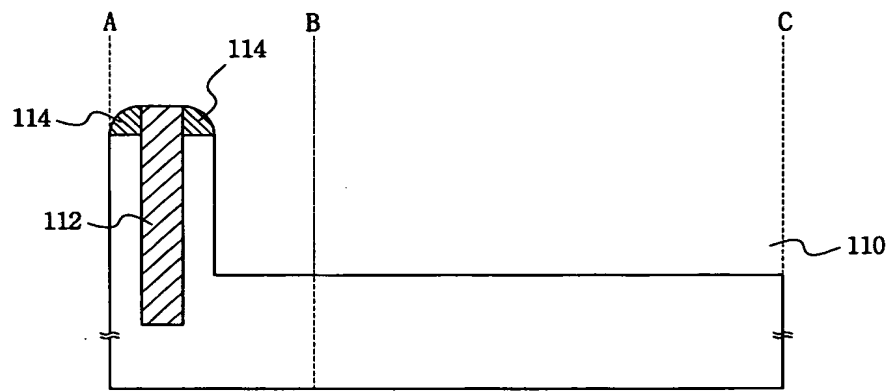
【도 6b】



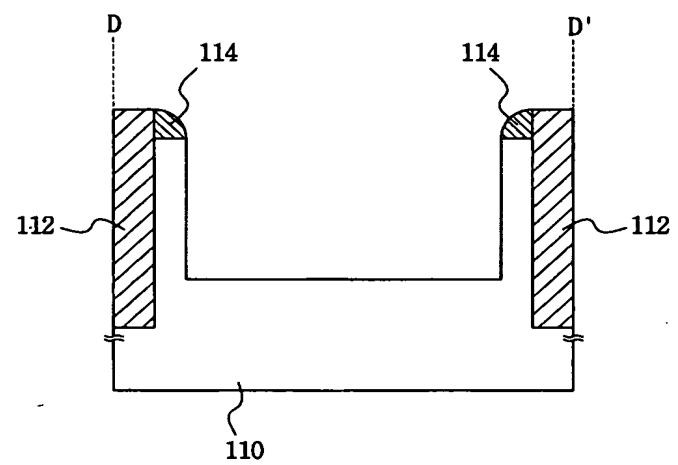
【도 6c】



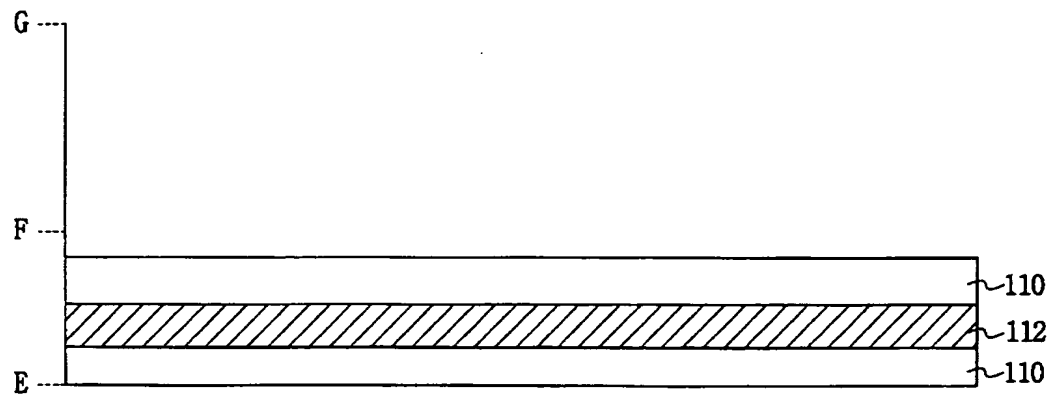
【도 7a】



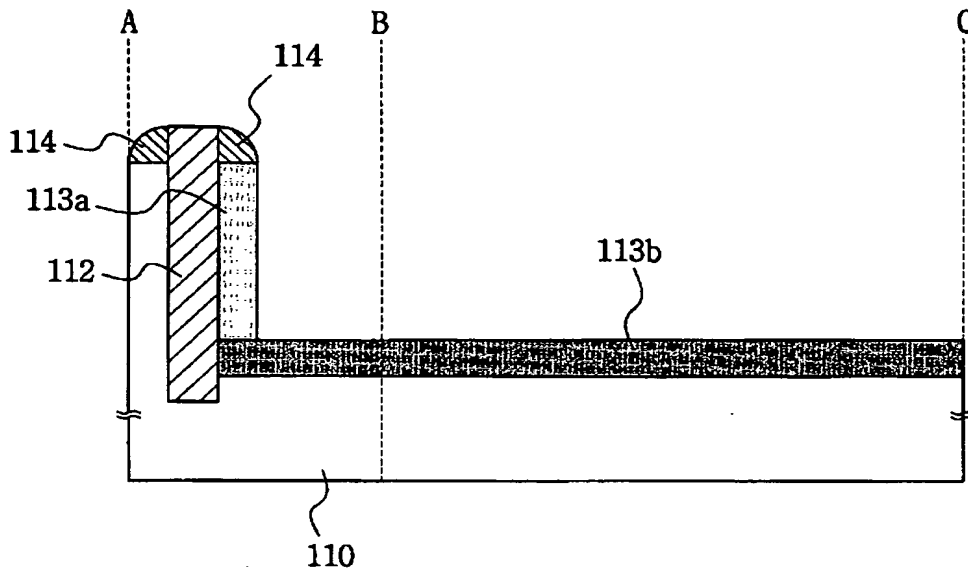
【도 7b】



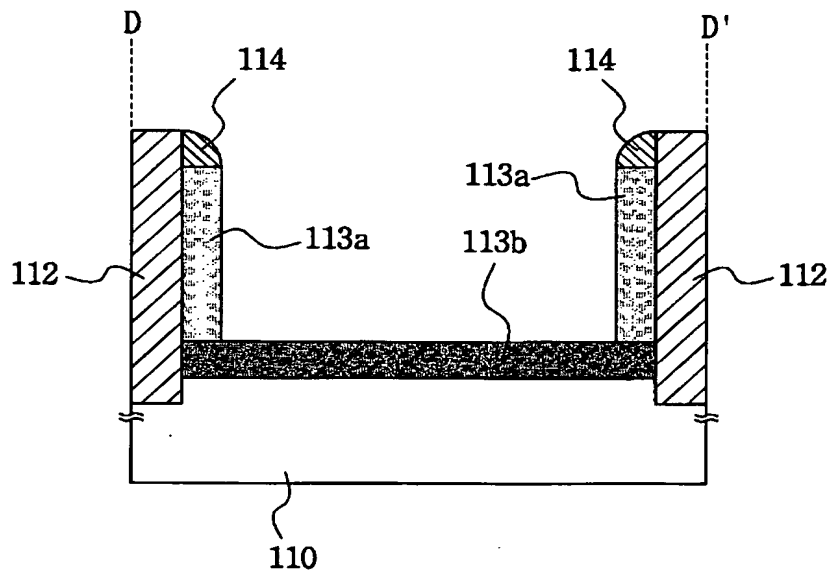
【도 7c】



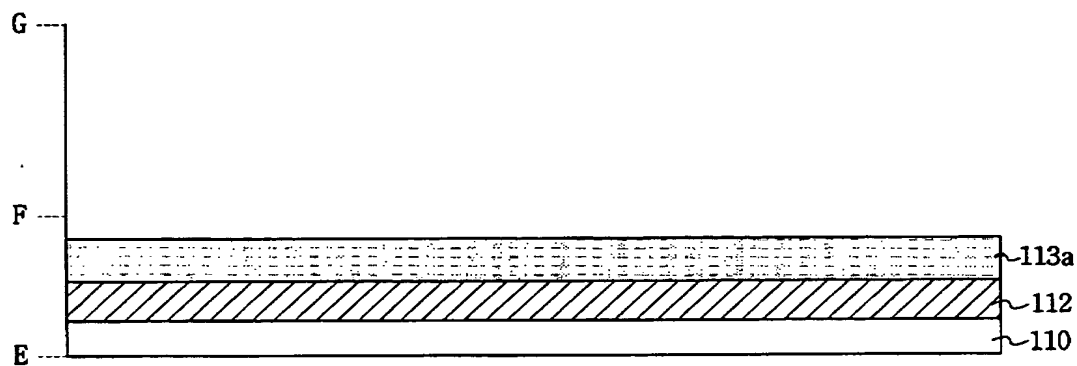
【도 8a】



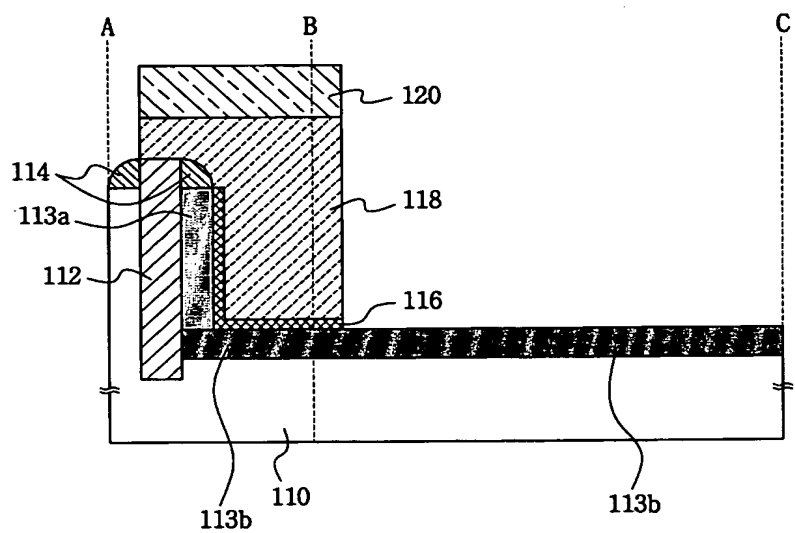
【도 8b】



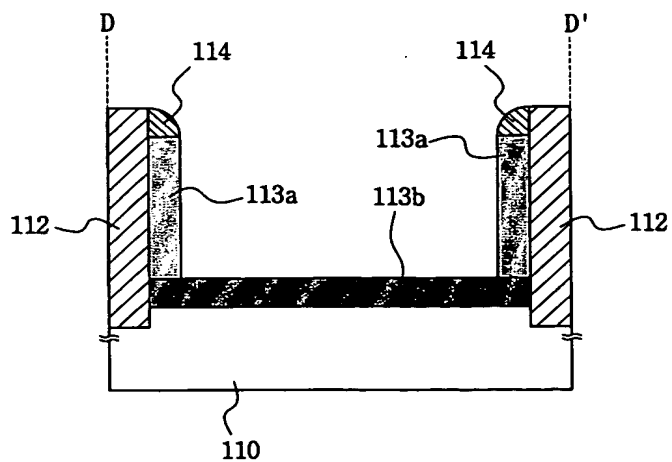
【도 8c】



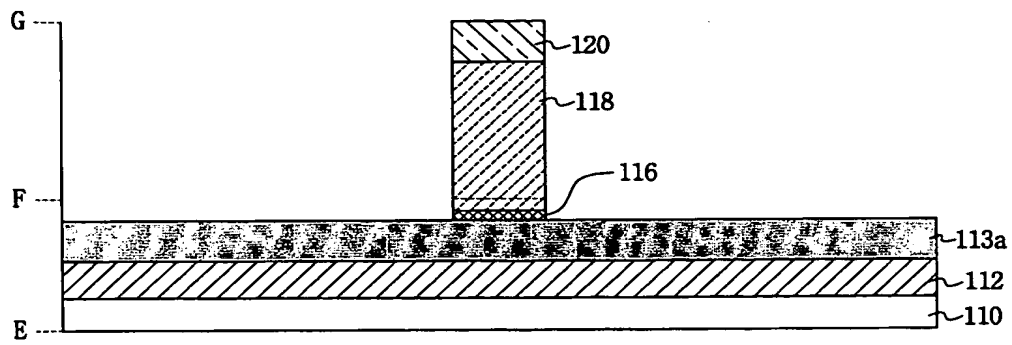
【도 9a】



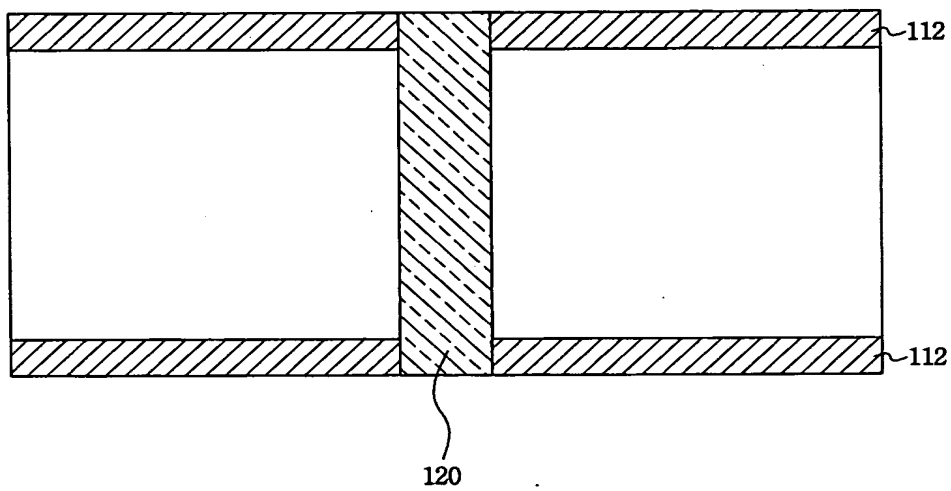
【도 9b】



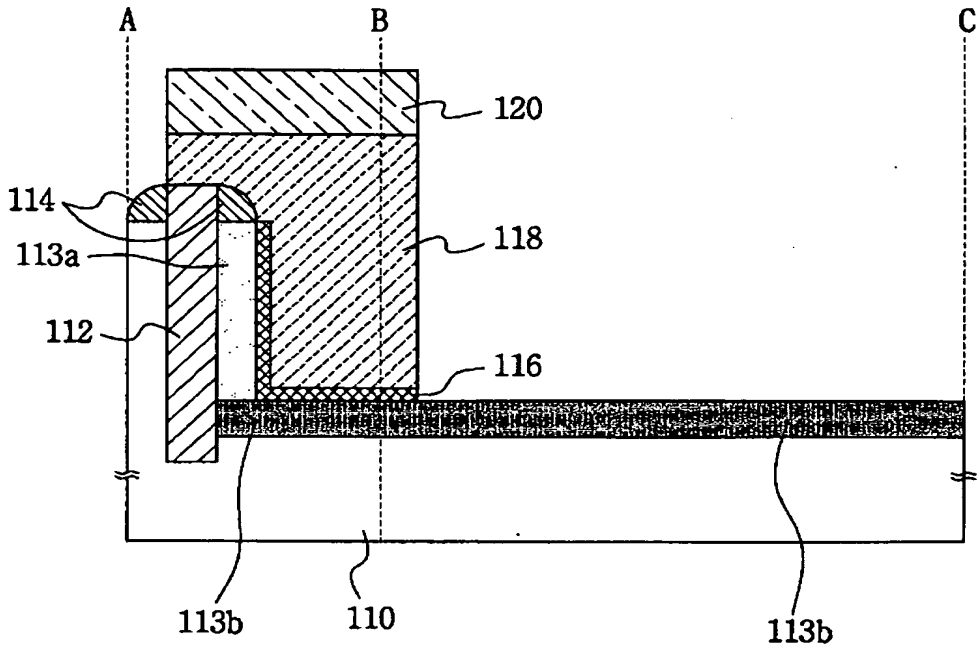
【도 9c】



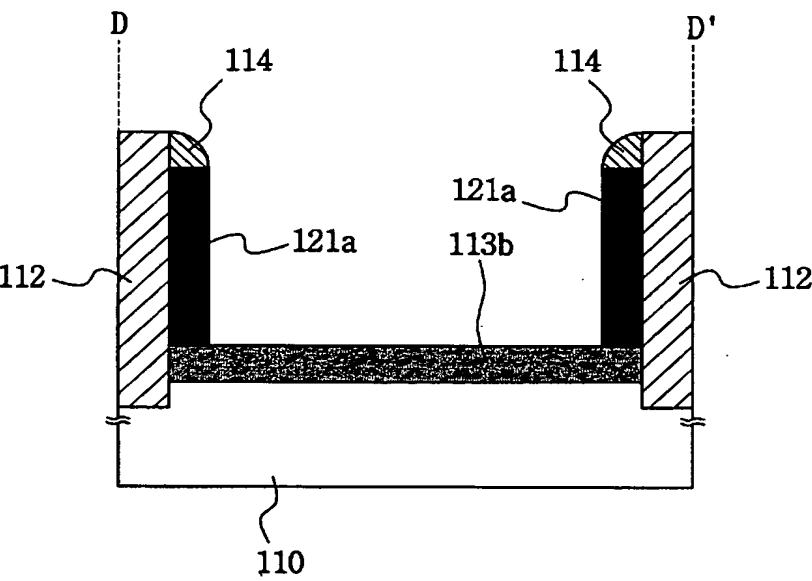
【도 9d】



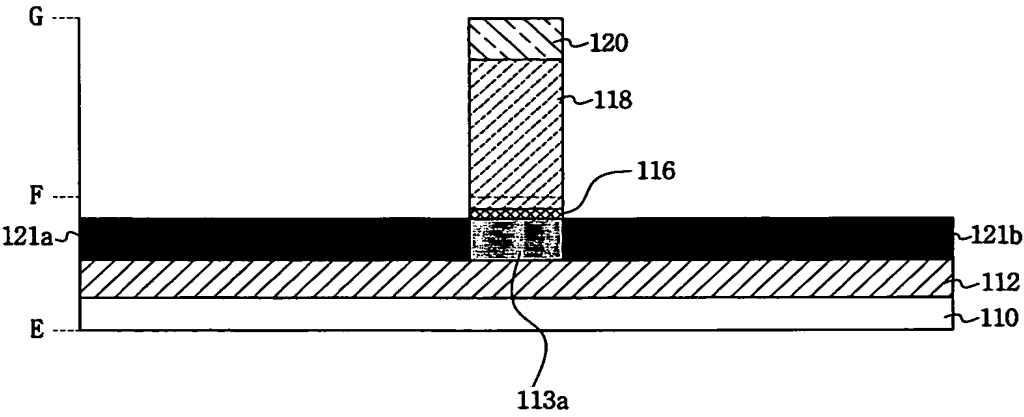
【도 10a】



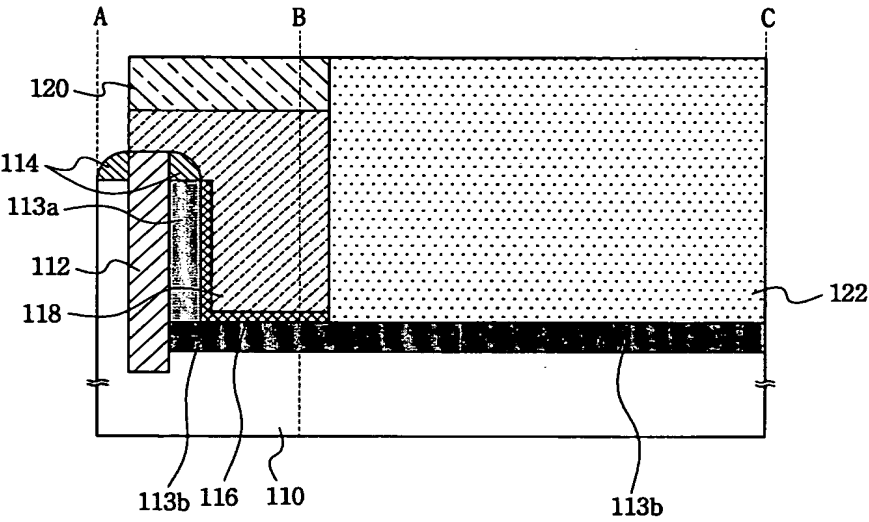
【도 10b】



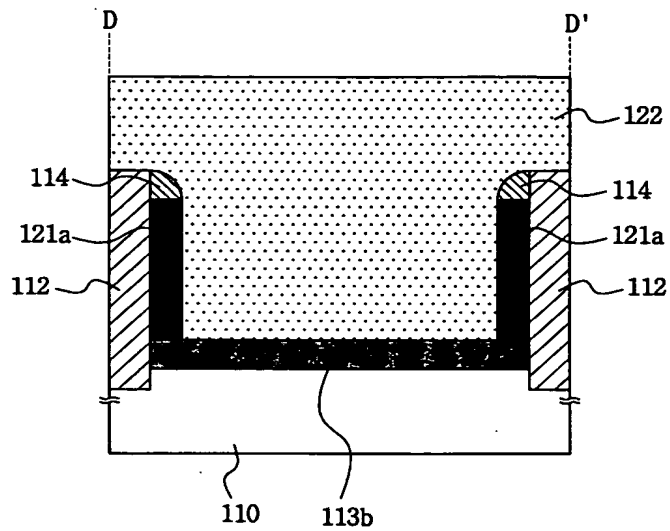
【도 10c】



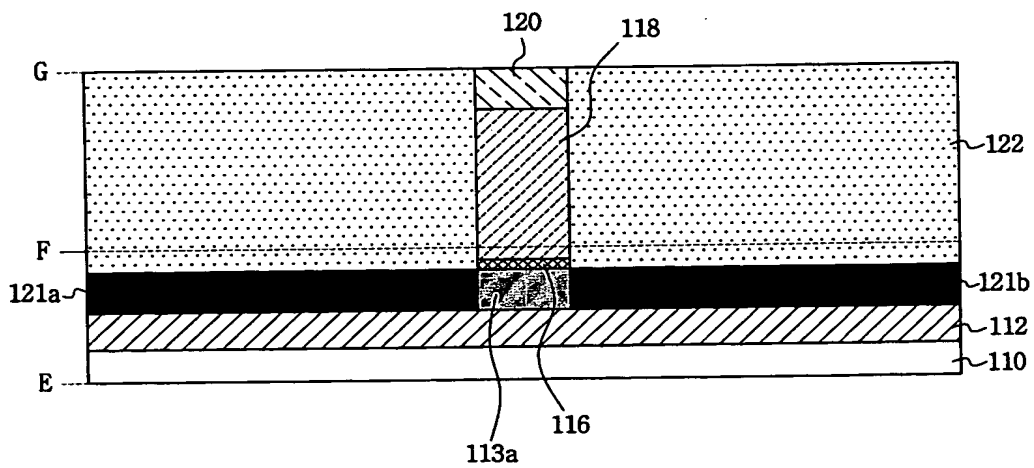
【도 11a】



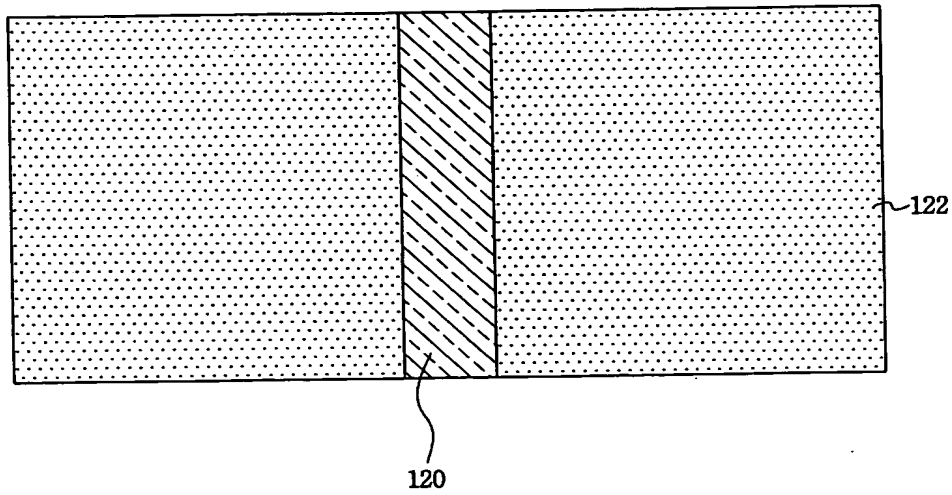
【도 11b】



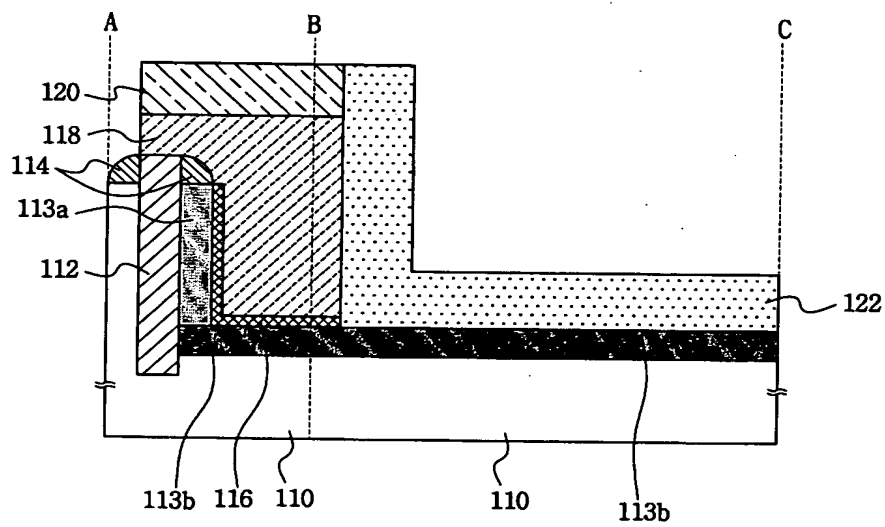
【도 11c】



【도 11d】

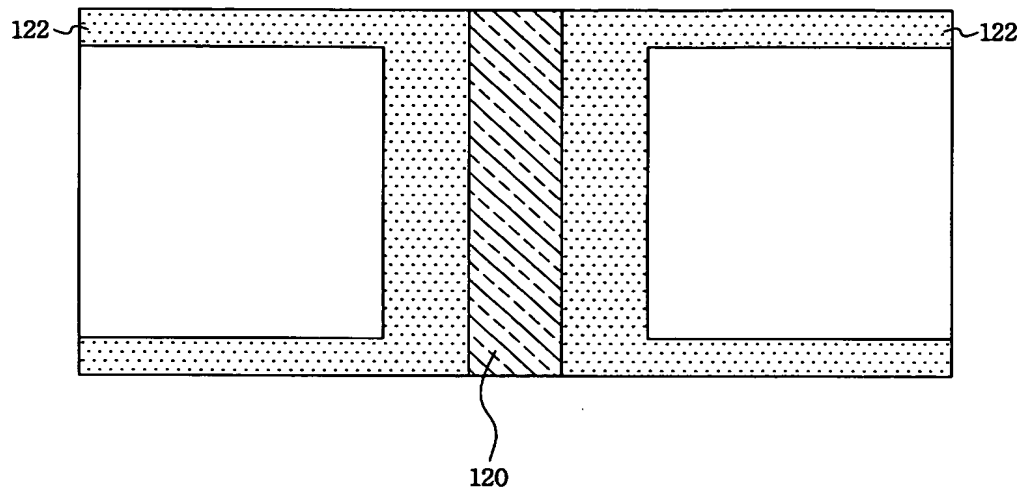


【도 12a】

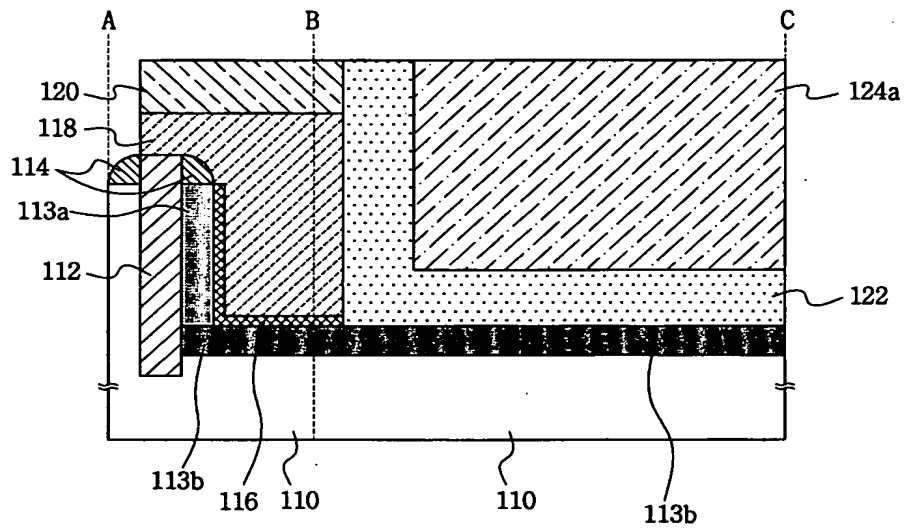


This cross-sectional view shows the device structure along line D-D'. It features a substrate 110 with a base layer 112. A central channel region 113b is defined by two side regions 112. The side regions 112 are composed of a lower layer 121a and an upper layer 122. A gate structure 114 is positioned on top of the side regions 112, with a gate dielectric layer 122 on top of the gate structure 114. The channel region 113b is filled with a material 122. The device is connected to a common ground or power supply line at the bottom, indicated by the symbol \perp .

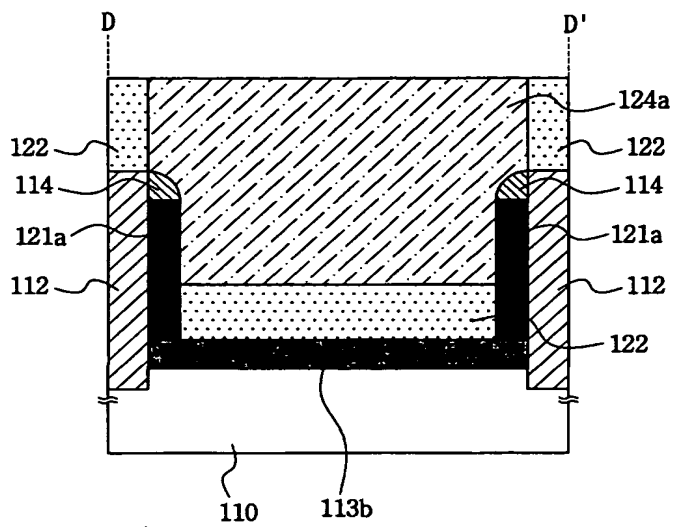
【도 12d】



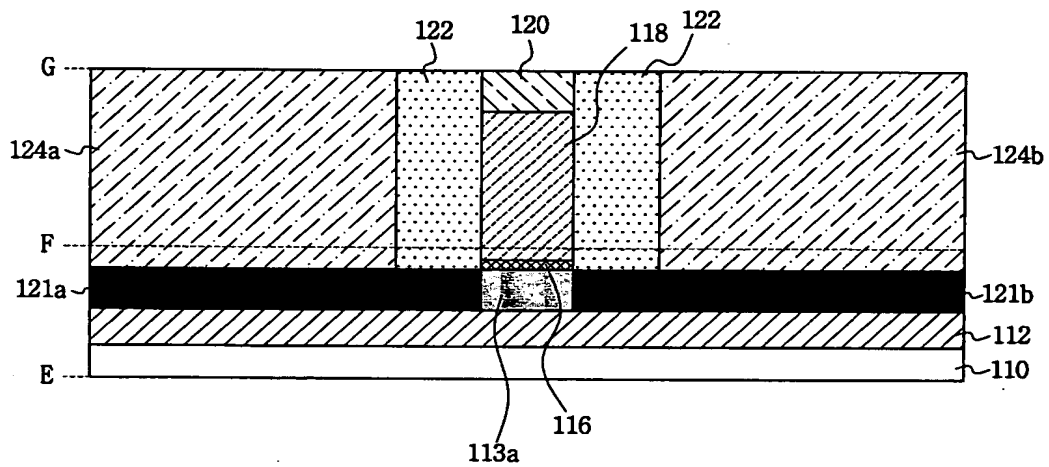
【도 13a】



【도 13b】



【도 13c】



【도 13d】

